

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-227778

(43)Date of publication of application : 15.08.2000

(51)Int.Cl.

G09G 3/28

G09G 3/20

(21)Application number : 11-056235

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 03.03.1999

(72)Inventor : TOKUNAGA TSUTOMU  
SHIGETA TETSUYA

(30)Priority

Priority number : 10344526

Priority date : 03.12.1998

Priority country : JP

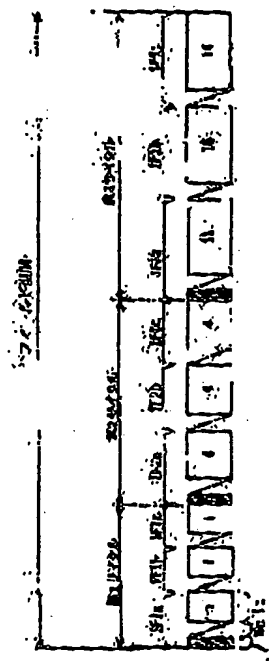
## (64) DRIVING METHOD OF PLASMA DISPLAY PANEL

(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the contrast of a picture with low power consumption while preventing the occurrence of a spurious profile by conducting erasing discharge only in a pixel data writing process of any one of subfields among a subfield group.

**SOLUTION:** In each of the first to the third reset cycles, a light emitting condition is made for the subfields corresponding to a logic level '0' arranged in front of the subfields corresponding to a logic level '1' in time wise and a no light emitting condition is made for the subfields corresponding to a logic level '0'. For example, in accordance with conversion pixel data HD:

[1,0,0,1,0,0,0,0,1] corresponding to a luminance level '32', emission of light by maintaining discharge is executed only by subfields SF3a and SF3b among nine subfields. Moreover, in a simultaneous reset process Rc, in which reset discharge is stimulated for all discharge cells to form wall electric charges in each discharging cell, executions are made by subfields SF1a to SF3a that are the leading sections of the first to the third reset cycles.



## LEGAL STATUS

[Date of request for examination]

13.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-227778

(P 2 0 0 0 - 2 2 7 7 7 8 A)

(43) 公開日 平成12年8月15日(2000.8.15)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G09G 3/28		G09G 3/28	J
3/20	641	3/20	641 E

審査請求 未請求 請求項の数18 O L (全36頁)

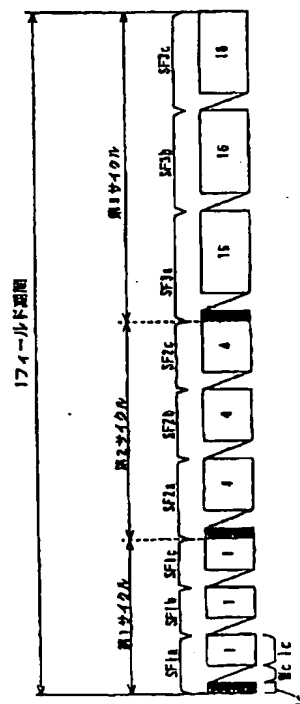
(21) 出願番号	特願平11-56235	(71) 出願人	000005016 バイオニア株式会社 東京都目黒区目黒1丁目4番1号
(22) 出願日	平成11年3月3日(1999.3.3)	(72) 発明者	徳永 勉 山梨県中巨摩郡田富町西花輪2680番地 バ イオニア株式会社甲府プラズマパネルセン ター内
(31) 優先権主張番号	特願平10-344526	(72) 発明者	重田 哲也 山梨県中巨摩郡田富町西花輪2680番地 バ イオニア株式会社甲府プラズマパネルセン ター内
(32) 優先日	平成10年12月3日(1998.12.3)	(74) 代理人	100079119 弁理士 藤村 元彦
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

## (57) 【要約】

【課題】 偽輪郭を抑制しつつも低消費電力にてコントラストの向上を図ることが出来るプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【解決手段】 1フィールドの表示期間を分割した複数のサブフィールド各々において、放電セル内に形成されている壁電荷を画素データに応じて選択的に消去放電せしめることにより発光セルと非発光セルとを設定する画素データ書込行程と、この発光セルのみを各サブフィールドの重み付けに対応した時間だけ発光維持させる維持発光行程とを実行し、これらサブフィールド各々の内の互いに連続する少なくとも2つのサブフィールドからなるサブフィールド群において、先頭のサブフィールドのみににおいて全放電セルを一斉にリセット放電せしめて壁電荷を形成させる一斉リセット行程を設け、上記サブフィールド群中のいずれか1のサブフィールドの画素データ書込行程においてのみで上記消去放電を為す。



## 【特許請求の範囲】

【請求項1】 走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動を行うプラズマディスプレイパネルの駆動方法であって、

1フィールドの表示期間を複数のサブフィールドに分割して、前記サブフィールド各々内において、前記放電セル内に形成されている壁電荷を表示画素データに応じて選択的に消去放電せしめることにより発光セルと非発光セルとを設定する画素データ書込行程と、前記発光セルのみを前記サブフィールドの重み付けに対応した時間だけ発光維持させる維持発光行程とを実行し、

前記サブフィールド各々の内の互いに連続する少なくとも2つのサブフィールドからなるサブフィールド群において、先頭のサブフィールドのみにおいて全放電セルを一斉にリセット放電せしめて壁電荷を形成させる一斉リセット行程を実行し、

前記サブフィールド群中のいずれか1のサブフィールドの前記画素データ書込行程においてのみで前記消去放電を為すことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 前記サブフィールド群内のサブフィールド各々は、互いに同一時間だけ発光維持を行う前記維持発光行程を有することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 前記1フィールドの表示期間内に分割された前記サブフィールド各々を前記重み付けに対応した順で配列し、

前記サブフィールド群内の先頭のサブフィールドの前記維持発光行程にて実施する前記発光維持の時間を、前記サブフィールド群の直前のサブフィールドでの前記維持発光行程にて実施する前記発光維持の時間と同一にし、前記表示画素データの輝度レベルが1段階だけ推移する場合には、前記サブフィールド群内の先頭のサブフィールド及び前記サブフィールド群の直前のサブフィールドのいずれか一方は必ず前記推移する前の発光状態を継続することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 前記画素データ書込行程では、前記消去放電を実行する直前に一旦前記放電セルを放電励起せしめて前記放電セルの放電空間内に荷電粒子を形成せしめるブライミング放電を実行することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項5】 走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、

1フィールドの表示期間を複数のサブフィールドに分割し前記サブフィールド各々において画素データ書込行程

と維持発光行程とを実行し、

前記1フィールドにおける先頭の前記サブフィールドにおいてのみで前記画素データ書込行程に先立って全放電セルを一斉に初期化するリセット行程を実行し、

前記1フィールド内のいずれか1の前記サブフィールドでの前記画素データ書込行程においてのみで表示画素データに応じて前記放電セルを発光セル又は非発光セルのいずれか一方に設定し、

前記サブフィールド各々での前記維持発光行程では前記発光セルのみを前記サブフィールドの重み付けに対応した発光期間だけ発光させることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項6】 前記1フィールド内での最後尾の前記サブフィールドにおいてのみで全ての前記放電セルに対して壁電荷の消去を行なう消去行程を実行することを特徴とする請求項5記載のプラズマディスプレイパネルの駆動方法。

【請求項7】 前記リセット行程では、全ての前記放電セルを一斉に放電せしめて壁電荷を形成させることにより全ての前記放電セルを前記発光セルに設定し、前記1フィールド内におけるいずれか1の前記サブフィールドでの前記画素データ書込行程の実行により前記リセット行程で形成された前記壁電荷を前記表示画素データに応じて選択的に消去されることを特徴とする請求項5記載のプラズマディスプレイパネルの駆動方法。

【請求項8】 前記1フィールド内におけるいずれか1の前記サブフィールドでの前記画素データ書込行程では、前記壁電荷が選択的に消去される直前に一旦前記放電セルを放電励起せしめて前記放電セルの放電空間内に荷電粒子を形成せしめるブライミング放電を行なうことを特徴とする請求項7記載のプラズマディスプレイパネルの駆動方法。

【請求項9】 前記リセット行程では、全ての前記放電セルを一斉に放電せしめて全放電セルに壁電荷を形成せしめた直後に前記壁電荷を一斉に消去する消去放電を行なうことにより全ての前記放電セルを前記非発光セルに設定し、

前記1フィールドにおけるいずれか1の前記サブフィールドでの前記画素データ書込行程の実行により前記表示画素データに応じた前記壁電荷の形成が為されることを特徴とする請求項5記載のプラズマディスプレイパネルの駆動方法。

【請求項10】 前記1フィールド内に配列されたN個の前記サブフィールドの内の連続したn個(nは0～N)の前記サブフィールド各々における前記維持発光行程において前記発光セルを発光維持せしめることによりN+1階調表示を行うことを特徴とする請求項5記載のプラズマディスプレイパネルの駆動方法。

【請求項11】 前記1フィールド内に配列されたN個の前記サブフィールド各々における前記維持発光行程での

前記発光期間の比を非線形に設定することにより、入力画素データの非線形表示特性を補正することを特徴とする請求項 10 記載のプラズマディスプレイパネルの駆動方法。

【請求項 12】 前記非線形表示特性は、逆ガンマ補正特性であることを特徴とする請求項 11 記載のプラズマディスプレイパネルの駆動方法。

【請求項 13】 前記非線形表示特性の補正を行う前に前記入力画素データに多階調処理を施すことを特徴とする請求項 11 記載のプラズマディスプレイパネルの駆動方法。

【請求項 14】 前記多階調処理とは、誤差拡散処理及び／又はディザ処理であることを特徴とする請求項 13 記載のプラズマディスプレイパネルの駆動方法。

【請求項 15】 前記多階調処理を施す前に前記入力画素データを変換して前記多階調処理に必要な上位ビット群と下位ビット群をビット境界で分離することを特徴とする請求項 13 記載のプラズマディスプレイパネルの駆動方法。

【請求項 16】 前記 1 フィールド内に配列された前記サブフィールド各々の内、低輝度発光を担うサブフィールドの数が高輝度発光を担うサブフィールドの数よりも多いことを特徴とする請求項 10 記載のプラズマディスプレイパネルの駆動方法。

【請求項 17】 前記非線形特性の補正を行う前に輝度調整を行う輝度調整行程を設け、前記輝度調整行程において前記入力画素データを変換して前記非線形特性の補正と同一の補正を行って補正画素データを求め、前記補正画素データの平均輝度レベルに応じて前記入力画素データ及び／又は前記サブフィールド各々における前記維持発光行程での前記発光期間を調整することを特徴とする請求項 11 記載のプラズマディスプレイパネルの駆動方法。

【請求項 18】 走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて 1 画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、

1 フィールドの表示期間を複数のサブフィールドに分割し、更に複数の前記サブフィールドを互いに連続したものと士で 2 つのサブフィールド群に分け、

前記サブフィールド各々において画素データ書込行程と維持発光行程とを実行し、

前記サブフィールド群各々の先頭に配列される前記サブフィールドにおいてのみで前記画素データ書込行程に先立って全ての放電セルを一斉に初期化するリセット行程を実行し、

前記サブフィールド群内におけるいずれか 1 の前記サブフィールドでの前記画素データ書込行程においてのみで表示画素データに応じて前記放電セルを前記発光セル又は非発光セルのいずれか一方に設定し、

前記サブフィールド各々での前記維持発光行程では前記発光セルのみを前記サブフィールドの重み付けに対応した発光期間だけ発光させることを特徴とするプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、マトリクス表示方式のプラズマディスプレイパネル（以下、PDP と称する）の駆動方法に関する。

【0002】

【従来の技術】かかるマトリクス表示方式のディスプレイパネルの一つとして AC（交流放電）型の PDP が知られている。AC 型の PDP は、複数の列電極（アドレス電極）と、これら列電極と直交して配列されておりかつ一対にて 1 走査ラインを形成する複数の行電極対とを備えている。これら各行電極対及び列電極は、放電空間に対して誘電体層で被覆されており、行電極対と列電極との交点にて 1 画素に対応した放電セルが形成される構造となっている。

【0003】ここで、かかる PDP に対して中間調表示を実施させる方法の一つとして、1 フィールド期間を、N ビットの画素データの各ビット桁の重み付けに対応した時間だけ発光する N 個のサブフィールドに分割して表示する、いわゆるサブフィールド法が例えば特開平 4-195087 号公報に提示されている。図 1 は、かかるサブフィールド法による 1 フィールド期間中での発光駆動フォーマットを示す図である。

【0004】図 1 に示される一例においては、供給される画素データが 6 ビットの場合を想定し、1 フィールドの期間を SF1、SF2、…、SF6 なる 6 個のサブフィールドに分割して発光駆動を行う。これら 6 個のサブフィールドによる発光を 1 通り実行することにより、1 フィールド分の画像に対する 64 階調表現が可能となるのである。

【0005】各サブフィールドは、一斉リセット行程 Rc、画素データ書込行程 Wc、及び維持発光行程 Ic にて構成される。一斉リセット行程 Rc では、上記 PDP の全放電セルを一斉に放電励起（リセット放電）せしめることにより、全放電セル内に一様に壁電荷を形成させる。次の画素データ書込行程 Wc では、各放電セル毎に、画素データに応じた選択的な消去放電を励起せしめる。この際、かかる消去放電が実施された放電セル内の壁電荷は消滅して“非発光セル”となる。一方、消去放電が実施されなかった放電セルは壁電荷が残留したままとなっているので“発光セル”となる。維持発光行程 Ic では、上記発光セルに対してのみ各サブフィールドの重み付けに対応した時間だけ放電発光状態を継続させる。これにより、各サブフィールド SF1～SF6 では、順に 1:2:4:8:16:32 なる発光期間比にて維持発光が行われるのである。

【0006】ここで、上記画素データ書込行程Wcにおいて、上述した如き各放電セル内に形成されている壁電荷を選択的に消去せしめるという選択消去アドレス法を採用した場合には、各サブフィールドの先頭部において図1の斜線部にて示される一斉リセット行程Rcを実施することが必須となる。ところが、かかる一斉リセット行程Rcにて全放電セルに対して実施されるリセット放電は、比較的強い放電、すなわち輝度レベルの高い発光を伴うものである。よって、図1の斜線にて示される6箇所にて、画素データとは何等関与しない発光が起こるので、画像のコントラストを低下させてしまうという問題があった。

【0007】又、図1に示されるが如き駆動形態では、例えば輝度レベル31の発光を行う放電セルと、輝度レベル32の発光を行う放電セルとの発光パターンは互いに反転、すなわち、一方が発光している間は他方が非発光状態にあるので、両放電セルの境界上に偽輪郭が発生するという問題が生じる。更に、現在、かかるPDPを製品化するにあたり、低消費電力を実現することが一般的な課題となっている。

【0008】

【発明が解決しようとする課題】本発明は、上記の問題を解決するためになされたものであり、偽輪郭を抑制しつつも低消費電力にてコントラストの向上を図ることが出来るプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明によるプラズマディスプレイパネルの駆動方法は、走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動を行うプラズマディスプレイパネルの駆動方法であって、1フィールドの表示期間を複数のサブフィールドに分割して、前記サブフィールド各々内において、前記放電セル内に形成されている壁電荷を表示画素データに応じて選択的に消去放電せしめることにより発光セルと非発光セルとを設定する画素データ書込行程と、前記発光セルのみを前記サブフィールドの重み付けに対応した時間だけ発光維持させる維持発光行程とを実行し、前記サブフィールド各々の内の互いに連続する少なくとも2つのサブフィールドからなるサブフィールド群において、先頭のサブフィールドのみにおいて全放電セルを一斉にリセット放電せしめて壁電荷を形成させる一斉リセット行程を実行し、前記サブフィールド群中のいずれか1のサブフィールドの前記画素データ書込行程においてのみで前記消去放電を為す。

【0010】

【発明の実施の形態】以下、本発明の実施例を図を参照しつつ説明する。図2は、本発明による駆動方法に基づ

いてプラズマディスプレイパネル（以下、PDPと称する）を駆動する駆動装置を備えたプラズマディスプレイ装置の概略構成を示す図である。

【0011】図2において、A/D変換器1は、駆動制御回路2から供給されるクロック信号に応じて、アナログの入力映像信号をサンプリングしてこれを1画素毎に例えば6ビットの画素データD（入力画素データ）に変換し、これをデータ変換回路3にする。データ変換回路3は、かかる画素データを図3及び図4に示されるが如き変換テーブルに従って9ビットの変換画素データHD（表示画素データ）に変換し、これをメモリ4に供給する。尚、これら図3及び図4に示されるが如き変換テーブルは、64階調の中間調表示を行う際の一例を示すものである。

【0012】メモリ4は、上記駆動制御回路2から供給されてくる書込信号に従って上記変換画素データHDを順次書き込む。かかる書込動作により1画面（n行、m列）分の書き込みが終了すると、メモリ4は、この1画面分の変換画素データHD<sub>1,1</sub>...各々を各ビット桁毎（第0ビット目～第8ビット目）に分割して読み出し、これを1行分毎に順次アドレスドライバ6に供給する。

【0013】例えば、メモリ4は、先ず、画面上の第1行目に対応したm個の変換画素データHD<sub>1,1</sub>...<sub>1,m</sub>各々中の第0ビット目のデータのみを読み出す。次に、メモリ4は、第2行目に対応したm個の変換画素データHD<sub>2,1</sub>...<sub>2,m</sub>各々中の第0ビット目のデータのみを読み出す。以下、同様にしてメモリ4は、第n行までの変換画素データHD中の第0ビット目のデータのみを順次読み出しに行く。これが終了すると、メモリ4は、画面上の第1行に対応したm個の変換画素データHD<sub>1,1</sub>...<sub>1,m</sub>各々中の第1ビット目のデータのみを読み出す。次に、メモリ4は、第2行目に対応したm個の変換画素データHD<sub>2,1</sub>...<sub>2,m</sub>各々中の第1ビット目のデータのみを読み出す。以下、同様にしてメモリ4は、第n行までの変換画素データHD中の第1ビット目のデータのみを順次読み出しに行く。以降、同様な手順にて、メモリ4は、変換画素データHD中の第2ビット目～第8ビット目までのデータを分割して読み出しに行くのである。

【0014】このように、メモリ4は、図3及び図4に示されるが如き変換テーブルに従って変換された9ビットの変換画素データHDを各ビット桁毎に分割して、第0ビットから第8ビットへと順次読み出し、これらを1フィールド期間内にアドレスドライバ6に供給して行くのである。アドレスドライバ6は、かかるメモリ4から読み出された1行分毎の画素データビット群各々の論理レベルに対応した電圧を有する画素データパルスDP<sub>1</sub>...DP<sub>9</sub>を発生し、これらをPDP10の列電極D<sub>1</sub>...D<sub>9</sub>に夫々印加する。

【0015】駆動制御回路2は、入力された映像信号中の水平及び垂直同期信号に同期して、上記A/D変換器

10

20

30

40

50

1に対するクロック信号、及びメモリ4に対する書込・読出信号を生成する。更に、駆動制御回路2は、かかる水平及び垂直同期信号に同期して、画素データタイミング信号、リセットタイミング信号、走査タイミング信号、及び維持タイミング信号を夫々発生する。

【0016】第1サスティンドライバ7は、上記駆動制御回路2から供給された各種タイミング信号に応じて、残留電荷量を初期化するためのリセットパルス $RP_1$ 、放電発光状態を維持するための維持パルス $IP_1$ 各々を発生し、これらをPDP10の行電極 $X_1 \sim X_n$ に印加する。第2サスティンドライバ8は、上記駆動制御回路2から供給された各種タイミング信号に応じて、残留電荷量を初期化するためのリセットパルス $RP_2$ 、画素データを書き込むための走査パルス $SP$ 、画素データ書き込みを良好に実施させる為のブライミングパルス $PP$ 、及び放電発光状態を維持するための維持パルス $IP_2$ 各々を発生し、これらをPDP10の行電極 $Y_1 \sim Y_n$ に印加する。

【0017】尚、PDP10は、行電極 $X$ 及び行電極 $Y$ の一对にて、画面の1行分に対応した行電極を形成している。例えば、PDP10における第1行目の行電極対は行電極 $X_1$ 及び $Y_1$ であり、第 $n$ 行目の行電極対は行電極 $X_n$ 及び $Y_n$ となる。又、PDP10では、かかる行電極対と各列電極との交差部に1つの放電セルが形成される。

【0018】次に、図2に示されるが如きプラズマディスプレイ装置によって実施されるPDP10の駆動動作について説明する。図5は、データ変換回路3において用いるデータ変換テーブルが図3及び図4に示されるが如きものである場合に実施される1フィールド期間内の放光駆動フォーマットを示す図である。

【0019】かかる図5に示される放光駆動フォーマットでは、1フィールド期間を第1～第9分割期間からなる9つに区切る。この際、第1～第3分割期間にてサブフィールドSF1a～SF1cによる放電発光（第1リセットサイクル）、第4～第6分割期間にてサブフィールドSF2a～SF2cによる放電発光（第2リセットサイクル）、第7～第9分割期間にてサブフィールドSF3a～SF3cによる放電発光（第3リセットサイクル）を実施する。

【0020】これらサブフィールドSF1a～SF1c、SF2a～SF2c、及びSF3a～SF3c各々では、変換画素データHDの書き込みを行って発光セル及び非発光セルの設定を行う画素データ書込行程 $Wc$ と、上記発光セルに対してのみ放電発光状態を維持させる維持発光行程 $Ic$ とが実施される。つまり、画素データ書込行程 $Wc$ において発光セルに設定された放電セルだけが、維持発光行程 $Ic$ において放電発光を行うのである。

【0021】尚、かかる維持発光行程 $Ic$ にて実施され

る放電発光の発光時間は、サブフィールドSF1a～SF1c各々での発光時間を $1^*$ とした場合、

SF1a～SF1c : 1

SF2a～SF2c : 4

SF3a～SF3c : 16

である。

【0022】この際、変換画素データHDの第0ビット～第8ビット各々の論理レベルが、図5に示されるが如き9つのサブフィールドSF1a～SF3c各々での発光／非発光を決定するものとなる。すなわち、変換画素データHDの第0ビット～第8ビット各々は、

第0ビット：サブフィールドSF1a

第1ビット：サブフィールドSF1b

第2ビット：サブフィールドSF1c

第3ビット：サブフィールドSF2a

第4ビット：サブフィールドSF2b

第5ビット：サブフィールドSF2c

第6ビット：サブフィールドSF3a

第7ビット：サブフィールドSF3b

第8ビット：サブフィールドSF3c

の如き対応関係にて各サブフィールドでの発光／非発光を決定している。

【0023】尚、変換画素データHDにおける論理レベル $1^*$ に対応するサブフィールドにおいてのみで選択消去放電が実行される。従って、第1～第3リセットサイクル各々において論理レベル $1^*$ に対応するサブフィールドより時間的に前方に配列される論理レベル $0^*$ に対応するサブフィールドで発光状態、論理レベル $0^*$ に対応するサブフィールドで非発光状態となる。

【0024】例えば、図4に示されるが如き輝度レベル $32^*$ に対応した変換画素データHD： $[1, 0, 0, 1, 0, 0, 0, 0, 1]$ によれば、図5中の9つのサブフィールドの内のサブフィールドSF3a及びサブフィールドSF3bのみで維持放電による発光が実施される。一方、図5の斜線に示されるように、全放電セルに対してリセット放電を励起させて各放電セル内に壁電荷を形成せしめる一斉リセット行程 $Rc$ に関しては、第1～第3リセットサイクル各々の先頭部であるサブフィールドSF1a、SF2a、及びSF3aでのみ実行するようにしている。

【0025】すなわち、図5に示される第1～第3リセットサイクル各々の先頭位置のみで、上述した如き一斉リセット動作を実施するようにしているのである。図6は、図5に示される各サブフィールド内において、実際にPDP10の各電極に印加される各種駆動パルスの印加タイミングを示す図である。尚、図6においては、図5に示される第1～第3リセットサイクルの内から第1リセットサイクルのみを抜粋して示している。

【0026】図6において、先ず、第1サスティンドライバ7及び第2サスティンドライバ8は、PDP10の行電極 $X$ 及び $Y$ に夫々リセットパルス $RP_1$ 及び $RP_2$ を

10

20

30

40

50

同時に印加して PDP 10 中の全ての放電セルをリセット放電せしめることにより、各放電セル内に強制的に壁電荷を形成させる（一斉リセット行程 Rc）。次に、アドレスドライバ 6 は、各行に対応したデータパルス DP 0<sub>i</sub> ~ DP 0<sub>j</sub> を順次列電極 D<sub>i</sub> ~ D<sub>j</sub> に印加して行く。

尚、この時点で列電極 D<sub>i</sub> ~ D<sub>j</sub> に印加されるデータパルス DP 0<sub>i</sub> ~ DP 0<sub>j</sub> 各々は、図 3 に示されるが如き変換画素データ HD 中の第 0 ビット目に対応したものである。第 2 サスティンドライバ 8 は、上記各データパルス DP の各印加タイミングと同一タイミングにて、走査パルス SP を行電極 Y<sub>i</sub> ~ Y<sub>j</sub> へと順次印加して行く。この際、走査パルス SP が印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電が生じて、その放電セル内に残存していた壁電荷が選択的に消去される。かかる選択消去により、後述するが如き維持発光行程において放電発光が実施される発光放電セルと、放電発光しない非発光放電セルとが設定される。

【0027】尚、各走査パルス SP を各行電極 Y に印加する直前に、正極性のブライミングパルス PP を行電極 Y<sub>i</sub> ~ Y<sub>j</sub> に順次印加しておく。かかるブライミングパルス PP の印加に応じて励起したブライミング放電により、PDP 10 の放電空間内には上記一斉リセット行程 Rc にて形成されたものの時間経過と共に減少してしまった荷電粒子が再形成される。よって、かかる荷電粒子が存在する内に、上記走査パルス SP の印加による画素データの書き込みが為されることになる（画素データ書込行程 Wc 1）。

【0028】次に、第 1 サスティンドライバ 7 及び第 2 サスティンドライバ 8 は、行電極 X 及び Y に対して交互に維持パルス IP<sub>i</sub> 及び IP<sub>j</sub> を印加する。この際、上記画素データ書込行程 Wc 1 によって壁電荷が残留したままとなっている放電セル、すなわち発光放電セルは、かかる維持パルス IP<sub>i</sub> 及び IP<sub>j</sub> が交互に印加されている期間中、放電発光を繰り返しその発光状態を維持する（維持発光行程 Ic 1）。

【0029】上述した如き一斉リセット行程 Rc、画素データ書込行程 Wc 1、維持発光行程 Ic 1 からなるサブフィールド SF 1 a での放電発光動作が終了すると、次に、アドレスドライバ 6 は、各行に対応したデータパルス DP 1<sub>i</sub> ~ DP 1<sub>j</sub> を順次列電極 D<sub>i</sub> ~ D<sub>j</sub> に印加して行く。尚、この時点で列電極 D<sub>i</sub> ~ D<sub>j</sub> に印加されるデータパルス DP 1<sub>i</sub> ~ DP 1<sub>j</sub> 各々は、図 3 に示されるが如き変換画素データ HD 中の第 1 ビット目に対応したものである。第 2 サスティンドライバ 8 は、上記各データパルス DP の各印加タイミングと同一タイミングにて、走査パルス SP を行電極 Y<sub>i</sub> ~ Y<sub>j</sub> へと順次印加して行く。この際、走査パルス SP が印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電が生じて、その放電セル内に残存していた

壁電荷が選択的に消去される。かかる選択消去により、後述する維持発光行程 Ic 2 において放電発光を実施することが出来る発光放電セルと、放電発光しない非発光放電セルとが得られる。尚、各走査パルス SP を各行電極 Y に印加する直前に、正極性のブライミングパルス PP を行電極 Y<sub>i</sub> ~ Y<sub>j</sub> に順次印加しておく。かかるブライミングパルス PP の印加により、PDP 10 の放電空間内に荷電粒子が再形成される。よって、かかる荷電粒子が存在する内に、上記走査パルス SP の印加による画素データの書き込みが為されることになる（画素データ書込行程 Wc 2）。

【0030】次に、第 1 サスティンドライバ 7 及び第 2 サスティンドライバ 8 は、行電極 X 及び Y に対して交互に維持パルス IP<sub>i</sub> 及び IP<sub>j</sub> を印加する。この際、上記画素データ書込行程 Wc 2 によって壁電荷が残留したままとなっている放電セル、すなわち発光放電セルは、かかる維持パルス IP<sub>i</sub> 及び IP<sub>j</sub> が交互に印加されている期間中、放電発光を繰り返しその発光状態を維持する（維持発光行程 Ic 2）。

【0031】これら画素データ書込行程 Wc 2、維持発光行程 Ic 2 からなるサブフィールド SF 1 b での放電発光動作が終了すると、次に、アドレスドライバ 6 は、各行に対応したデータパルス DP 2<sub>i</sub> ~ DP 2<sub>j</sub> を順次列電極 D<sub>i</sub> ~ D<sub>j</sub> に印加して行く。尚、この時点で列電極 D<sub>i</sub> ~ D<sub>j</sub> に印加されるデータパルス DP 2<sub>i</sub> ~ DP 2<sub>j</sub> 各々は、図 3 に示されるが如き変換画素データ HD 中の第 2 ビット目に対応したものである。第 2 サスティンドライバ 8 は、上記各データパルス DP の各印加タイミングと同一タイミングにて、走査パルス SP を行電極 Y<sub>i</sub> ~ Y<sub>j</sub> へと順次印加して行く。この際、走査パルス SP が印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電が生じて、その放電セル内に残存していた壁電荷が選択的に消去される。かかる選択消去により、後述する維持発光行程において放電発光を実施することが出来る発光放電セルと、放電発光をしない非発光放電セルとが得られる。尚、各走査パルス SP を各行電極 Y に印加する直前に、正極性のブライミングパルス PP を行電極 Y<sub>i</sub> ~ Y<sub>j</sub> に順次印加しておく。かかるブライミングパルス PP の印加により、PDP 10 の放電空間内に荷電粒子が再形成される。よって、かかる荷電粒子が存在する内に、上記走査パルス SP の印加による画素データの書き込みが為されることになる（画素データ書込行程 Wc 3）。

【0032】尚、上記画素データ書込行程 Wc 2 及び Wc 3 でのブライミングパルス PP の印加によるブライミング放電は、夫々直前の維持発光行程 Ic 1、Ic 2 において維持放電発光が繰り返された発光放電セルに対してのみ生じる。画素データ書込行程 Wc 3 の終了後、次に、第 1 サスティンドライバ 7 及び第 2 サスティンドライバ 8 は、行電極 X 及び Y に対して交互に維持パルス I

P<sub>1</sub>及びI P<sub>1</sub>を印加する。この際、上記画素データ書込行程Wc 2によって壁電荷が残留したままとなっている放電セル、すなわち発光放電セルは、かかる維持パルスI P<sub>1</sub>及びI P<sub>1</sub>が交互に印加されている期間中、放電発光を繰り返しその発光状態を維持する(維持発光行程I c 3)。

【0033】かかる図6に示される動作を、図5の第2及び第3リセットサイクルにおいても同様に実行して1フィールド分の放電発光を行う。従って、図5に示されるように、1フィールド期間内において実行する一斉リセット動作は、第1～第3リセットサイクル各々の先頭位置のみの3回となる。これは、図6に示されるが如き1つのリセットサイクル内において、全放電セル各々に対する発光放電セルから非発光放電セルへの推移が必ず1回以下となるように、図3及び図4に従った画素データ変換が為されているから可能となったものである。

【0034】例えば、サブフィールドSF 1 a～SF 1 c(第1リセットサイクル)各々での発光/非発光を司る変換画素データHD中の第0～2ビット目の配列は、図3及び図4に示されるように、

[1, 0, 0]  
[0, 1, 0]  
[0, 0, 1]  
[0, 0, 0]

の4通りに限られている。

【0035】尚、"1"及びそれより後の"0"は非発光、"1"より前の"0"は発光を指定するものである。すなわち、1つのリセットサイクル内において一旦、発光放電セルに設定したものを再び非発光放電セルに復帰させるようなデータパターンを禁止したのである。

【0036】よって、全放電セルに対して壁電荷の形成を行う上記一斉リセット動作は、このリセットサイクルの先頭部において1回だけ実施しておけば良いことになる。従って、本発明によれば、1フィールド期間内において実行する一斉リセット動作は、第1～第3リセットサイクル各々の先頭部のみの3回で済むので、図1に示されるが如き一斉リセット動作を6回行うものに比して、コントラストを高めることが出来るのである。

【0037】更に、図5に示される第1～第3リセットサイクル各々において実施することになる選択消去放電(発光放電セルから非発光放電セルへの推移)は、最高でも1回であるので、1フィールド期間内での選択消去放電の実行回数は最高でも3回となる。よって、図1に示されるが如き、1フィールド期間内において最高6回の選択消去放電が為されるものに比して、その消費電力を抑えることが可能となるのである。

【0038】更に、本発明においては、発光期間の長いサブフィールドを複数に分割しておき、所定以上の輝度表示を行う場合にはこれら分割したサブフィールドの内の少なくとも1が必ず発光状態となるようにしている。

例えば、図3に示されるように、輝度レベル"16"以上の高輝度表示を行う場合には、図5中において最も発光期間の長いサブフィールドSF 3 a～3 cの内のSF 3 aが必ず発光状態となるように画素データの変換を行うのである。

【0039】よって、輝度階調変化が少ない表示を行う場合においても、互いに隣接する放電セル間で両者の発光パターンが反転してしまうことはないので、偽輪郭を抑制出来るのである。尚、上記実施例においては、データ変換回路3の変換テーブルとして、図3及び図4を用い、更に図5に示されるが如き発光駆動フォーマットに従ってPDP 10に対する駆動を実施するようにしているが、かかる構成に限定されるものではない。

【0040】例えば、データ変換回路3において図7及び図8に示されが如き変換テーブルを用いて、図9に示されるが如き発光駆動フォーマットにてPDP 10に対する駆動を実行するようにしても、同様に一斉リセット回数を減らすことが出来る。図9に示される発光駆動フォーマットでは、1フィールド期間を第1～第10分割期間に区切り、第1分割期間にてサブフィールドSF 1による放電発光(第1リセットサイクル)、第2分割期間にてサブフィールドSF 2による放電発光(第2リセットサイクル)、第3分割期間にてサブフィールドSF 3による放電発光(第3リセットサイクル)、第4～第10分割期間にてサブフィールドSF 4 a～SF 4 g各々による放電発光(第4リセットサイクル)を実施する。

【0041】尚、サブフィールドSF 1での発光時間を"1"とした場合、サブフィールドSF 1～SF 4各々での放電発光実施時間は夫々、

SF 1 : 1  
SF 2 : 2  
SF 3 : 4  
SF 4 a～4 c : 8

である。

【0042】この際、図7及び図8に示されるが如き変換画素データHDの第0ビット～第9ビット各々の論理レベルが、図9に示されるが如きサブフィールドSF 1、SF 2、SF 3、SF 4 a～SF 4 g各々での発光/非発光を決定するものとなる。すなわち、変換画素データHDの第0ビット～第9ビット各々は、

第0ビット : サブフィールドSF 1  
第1ビット : サブフィールドSF 2  
第2ビット : サブフィールドSF 3  
第3ビット : サブフィールドSF 4 a  
第4ビット : サブフィールドSF 4 b  
第5ビット : サブフィールドSF 4 c  
第6ビット : サブフィールドSF 4 d  
第7ビット : サブフィールドSF 4 e  
第8ビット : サブフィールドSF 4 f



第9ビット：サブフィールドSF4g

の如き対応関係にて各サブフィールドでの発光／非発光を決定している。

【0043】かかる図9に示される発光駆動フォーマットでは、各リセットサイクル内の先頭部にのみ斜線部に示されるが如き一斉リセット行程Rcを設けるようにしている。特に、その第4リセットサイクル内においては、全放電セル各々に対する発光放電セルから非発光放電セルへの推移が必ず1回以下となるように、図7及び図8に基づくデータ変換が為されているのである。

【0044】例えば、サブフィールドSF4a～SF4g各々での発光／非発光を司る変換画素データHD中の第3～9ビットの配列は、図7及び図8に示されるように

```
[1, 0, 0, 0, 0, 0, 0]
[0, 1, 0, 0, 0, 0, 0]
[0, 0, 1, 0, 0, 0, 0]
[0, 0, 0, 1, 0, 0, 0]
[0, 0, 0, 0, 1, 0, 0]
[0, 0, 0, 0, 0, 1, 0]
[0, 0, 0, 0, 0, 0, 1]
[0, 0, 0, 0, 0, 0, 0]
```

の如き8通りに限られている。

【0045】すなわち、第4リセットサイクル内においては、一旦、発光放電セルに設定したものを再び非発光放電セルに復帰させるようなデータパターンを禁止したのである。よって、全放電セルに対して壁電荷の形成を行う上記一斉リセット動作は、この第4リセットサイクルの先頭部において1回だけ実施しておけば良いことになる。

【0046】従って、かかる実施例によれば、1フィールド期間内において実行する一斉リセット動作は、第1～第4リセットサイクル各々の先頭部のみの4回で済むので、図1に示されるが如き一斉リセット動作を6回行うものに比して、コントラストを高めることが出来るのである。更に、図9に示されるが如く、第1～第4リセットサイクル各々において実施される選択消去放電（発光放電セルから非発光放電セルへの推移）は、最高でも1回であるので、1フィールド期間内において実施される選択消去放電の総数は最高でも4回となる。

【0047】よって、図1に示されるが如き1フィールド期間内において最高6回の選択消去放電が為されるものに比して、その消費電力を抑えることが可能となるのである。尚、かかる図7、図8、及び図9に示される駆動方法では、画素データの輝度レベルが例えば輝度レベル"7"から"8"へと推移した場合に、画面上において偽輪郭が発生する恐れがある。

【0048】すなわち、図7に示されるように輝度レベル"7"に対応した変換画素データHDは、

```
[0, 0, 0, 1, 0, 0, 0, 0, 0, 0]
```

であり、一方、輝度レベル"8"に対応した変換画素データHDは、

```
[1, 1, 1, 0, 1, 0, 0, 0, 0, 0]
```

である。

【0049】よって、輝度レベルの変化が1段階であるにも拘わらず、サブフィールドSF1、2、3、4aでの発光パターンが全て反転してしまうので、これが誤った輪郭として視認される恐れがある。図10は、かかる偽輪郭発生に鑑みて為された発光駆動フォーマットの他の実施例を示す図であり、図11及び図12は、この発光駆動フォーマットに従ってPDP10の駆動を行う際に用いられる変換テーブルを示す図である。

【0050】図10に示される発光駆動フォーマットでは、図9に示されるサブフィールドSF4aでの発光期間比"8"をその直前に存在するサブフィールドSF3と同一の"4"に減らし、この減った分を、サブフィールドSF4gの発光期間比を"12"に増やすことで補っている。かかる発光駆動フォーマットによれば、図11に示されるが如く、輝度レベル"7"に対応した変換画素データHDを、

```
[0, 0, 0, 1, 0, 0, 0, 0, 0, 0]
```

とし、輝度レベル"8"に対応した変換画素データHDを、

```
[1, 1, 0, 0, 1, 0, 0, 0, 0, 0]
```

とすることが出来る。

【0051】よって、サブフィールドSF1、2、4a各々での発光パターンは反転するものの、サブフィールドSF3では反転が起こらない。よって、画素データの輝度レベルが"7"から"8"に推移しても、偽輪郭の発生が抑制されるのである。要するに、先ず、複数のサブフィールド群（第4サイクル）の内の先頭のサブフィールドSF4aにて実施する発光維持の時間を、かかるサブフィールド群の直前のサブフィールドSF3にて実施する発光維持の時間と同一にする。

【0052】ここで、画素データの輝度レベルが1段階だけ推移した場合には、上記サブフィールド群内の先頭のサブフィールドSF4a及びSF3のいずれか一方が、必ず推移する前の発光状態を継続するように、図11及び図12に示されるが如く画素データの変換を行っているのである。すなわち、図11及び図12に示されるように、輝度レベルが1段階変化する場合に、サブフィールドSF4a及びSF3での発光パターンは、輝度レベル"7"から"8"への推移の場合に、[0, 1]から[0, 0]、輝度レベル"11"から"12"への推移の場合に、[0, 0]から[1, 0]

となり、必ずいずれか一方が、推移する前の発光状態を継続しているのである。尚、上記実施例においては、1フィールド期間内において実施する一斉リセット動作を3回（図5）又は4回（図9、図10）にしている

が、図 13 に示されるが如き発光駆動フォーマットを採用して 2 回にしても良い。

【0053】更に、図 14 及び図 15 に示されるが如き発光駆動フォーマットを採用して、1 フィールド期間内において実施する一斉リセット動作を 1 回にすることも可能である。尚、図 14 は、画素データ書込行程  $Wc$  において上述した如き選択消去アドレス法により画素データの書き込みを行う場合、又、図 15 は、選択書込アドレス法により画素データの書き込みを行う場合々々の発光駆動フォーマットを示すものである。

【0054】図 14 及び図 15 に示される発光駆動フォーマットでは、1 フィールド期間をサブフィールド  $SF1 \sim SF14$  なる 14 個のサブフィールドに分割している。これらサブフィールド  $SF1 \sim SF14$  各々では、画素データの書き込みを行って発光セル及び非発光セルの設定を行う画素データ書込行程  $Wc$  と、発光セルに対してのみ放電発光状態を維持させる維持発光行程  $lc$  とを実施する。この際、各維持発光行程  $lc$  での発光時間(発光回数)は、サブフィールド  $SF1$  での発光時間を”1”とした場合、

$SF1: 1$   
 $SF2: 3$   
 $SF3: 5$   
 $SF4: 8$   
 $SF5: 10$   
 $SF6: 13$   
 $SF7: 16$   
 $SF8: 19$   
 $SF9: 22$   
 $SF10: 25$   
 $SF11: 28$   
 $SF12: 32$   
 $SF13: 35$   
 $SF14: 39$

と設定されている。

【0055】すなわち、各サブフィールド  $SF1 \sim SF14$  の発光回数の比を非線形(つまり、逆ガンマ比率:  $Y=X^{1/2.2}$ )になるように設定し、これにより入力画素データ  $D$  の非線形特性(ガンマ特性)を補正するようにしている。更に、これら各サブフィールドの内、先頭のサブフィールドのみで一斉リセット行程  $Rc$  を実行する。つまり、図 14 に示されるが如き選択消去アドレス法を採用した際の発光駆動フォーマットではサブフィールド  $SF1$ 、図 15 に示されるが如き選択書込法を採用した際の発光駆動フォーマットではサブフィールド  $SF14$  のみで、一斉リセット行程  $Rc$  を実行するのである。

又、図 14 及び図 15 に示されるように、1 フィールド期間の最後尾のサブフィールドにおいて、全ての放電セル内に残存している壁電荷を消滅せしめる消去行程  $E$  を実行する。

【0056】図 16 は、これら図 14 及び図 15 に基づく発光駆動動作を実施するプラズマディスプレイ装置の構成を示す図である。尚、図 16 に示されるプラズマディスプレイ装置は、図 2 に示した構成中におけるデータ変換回路 3 をデータ変換回路 30 に変更したものであり、これを除く他の機能モジュールについては図 2 に示されるものと同一である。よって、以下に、図 16 に示されるデータ変換回路 30 の動作についてのみ説明する。

10 【0057】図 17 は、かかるデータ変換回路 30 の内部構成を示す図である。図 17 において、ABL(自動輝度制御)回路 31 は、PDP10 の画面上に表示される画像の平均輝度が所定の輝度範囲内に収まるように、A/D 変換器 1 から順次供給されてくる各画素毎の画素データ  $D$  に対して輝度レベルの調整を行い、この際得られた輝度調整画素データ  $D_{a1}$  を第 1 データ変換回路 32 に供給する。

20 【0058】かかる輝度レベルの調整では、上述の如きサブフィールドの発光回数の比を非線形に設定して逆ガンマ補正を行う前に行われるため、ABL 回路 31 は、画素データ  $D$  (入力画素データ) に逆ガンマ補正を施し、この際得られた逆ガンマ変換画素データの平均輝度に応じて上記画素データ  $D$  (入力画素データ) の輝度レベルを自動調整するように構成されている。これにより、輝度調整による表示品質の劣化を防止できる。

30 【0059】図 18 は、かかる ABL 回路 31 の内部構成を示す図である。図 18 において、レベル調整回路 310 は、後述する平均輝度検出回路 311 にて求められた平均輝度に応じて画素データ  $D$  のレベルを調整して得られた輝度調整画素データ  $D_{a1}$  を出力する。データ変換回路 312 は、かかる輝度調整画素データ  $D_{a1}$  を図 19 に示されるが如き非線形特性からなる逆ガンマ特性( $Y=X^{1/2.2}$ )にて変換したものを逆ガンマ変換画素データ  $D_r$  として平均輝度レベル検出回路 311 に供給する。すなわち、データ変換回路 312 によって、輝度調整画素データ  $D_{a1}$  に対して逆ガンマ補正を施すことにより、ガンマ補正の解除された元の映像信号に対応した画素データ(逆ガンマ変換画素データ  $D_r$ )を復元するのである。平均輝度検出回路 311 は、かかる逆ガンマ変換画素データ  $D_r$  からその平均輝度を求めて上記レベル調整回路 310 に供給する。又、平均輝度検出回路 311 は、例えば図 20 に示されるが如き各サブフィールドでの発光時間を指定する輝度モード 1~4 の中から、上述の如く求めた平均輝度に応じた輝度にて PDP10 を発光駆動し得る輝度モードを選択し、この選択した輝度モードを示す輝度モード信号  $LC$  を駆動制御回路 2 に供給する。

50 【0060】ここで、第 1 データ変換回路 32 は、図 21 に示されるが如き変換特性に基づいて 2.56 階調(8 ビット)の入力輝度調整画素データ  $D_{a1}$  を  $14 \times 16 / 255$  ( $224 / 255$ ) にした 8 ビット(0~22

4)の変換画素データ $H_{Di}$ に変換して多階調化処理回路33に供給する。具体的には、8ビット(0~255)の入力輝度調整画素データ $D_{Ai}$ がかかる変換特性に基づく図22及び図23に示されるが如き変換テーブルに従って変換される。すなわち、この変換特性は、入力画素データのビット数、多階調化による圧縮ビット数、及び表示階調数に応じて設定される。このように、後述する多階調化処理回路の前段に、第1データ変換回路32を設けて、表示階調数及び多階調化による圧縮ビット数に合わせた変換を行い、これにより輝度調整画素データ $D_{Ai}$ を、上位ビット群(多階調化画素データに対応)と下位ビット群(切り捨てられるデータ:誤差データ)とをビット境界で切り分け、この信号に基づいて多階調化処理を行うようになっている。これにより、多階調化処理による輝度飽和の発生及び表示階調がビット境界にない場合に生じる表示特性の平坦部の発生(すなわち、階調歪みの発生)を防止することができる。

【0061】図24は、かかる多階調化処理回路33の内部構成を示す図である。図24に示されるが如く、多階調化処理回路33は、誤差拡散処理回路330及びディザ処理回路350から構成される。先ず、誤差拡散処理回路330におけるデータ分離回路331は、図17に示される第1データ変換回路32から供給された $m$ ビットの変換画素データ $H_{Di}$ 中の下位 $i$ ビット分を誤差データ、上位 $(m-i)$ ビット分を表示データとして分離する。

【0062】加算器332は、かかる誤差データとしての変換画素データ $H_{Di}$ 中の下位 $i$ ビット分と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算して得た加算値を遅延回路336に供給する。遅延回路336は、加算器332から供給された加算値を、画素データのクロック周期と同一の時間を有する遅延時間 $D$ だけ遅らせた信号を遅延加算信号 $AD_i$ として上記係数乗算器335及び遅延回路337に夫々供給する。

【0063】係数乗算器335は、上記遅延加算信号 $AD_i$ に所定係数値 $K_i$ (例えば、 $7/16$ )を乗算して得られた乗算結果を上記加算器332に供給する。遅延回路337は、上記遅延加算信号 $AD_i$ を更に(1水平走査期間-上記遅延時間 $D \times 4$ )なる時間だけ遅延させたものを遅延加算信号 $AD_i$ として遅延回路338に供給する。遅延回路338は、かかる遅延加算信号 $AD_i$ を更に上記遅延時間 $D$ だけ遅延させたものを遅延加算信号 $AD_i$ として係数乗算器339に供給する。又、遅延回路338は、かかる遅延加算信号 $AD_i$ を更に上記遅延時間 $D \times 2$ なる時間分だけ遅延させたものを遅延加算信号 $AD_i$ として係数乗算器340に供給する。更に、遅延回路338は、かかる遅延加算信号 $AD_i$ を更に上記遅延時間 $D \times 3$ なる時間分だけ遅延させたものを遅延加算信号 $AD_i$ として係数乗算器341に供給する。

【0064】係数乗算器339は、上記遅延加算信号 $AD_i$ に所定係数値 $K_i$ (例えば、 $3/16$ )を乗算して得られた乗算結果を加算器342に供給する。係数乗算器340は、上記遅延加算信号 $AD_i$ に所定係数値 $K_i$ (例えば、 $5/16$ )を乗算して得られた乗算結果を加算器342に供給する。係数乗算器341は、上記遅延加算信号 $AD_i$ に所定係数値 $K_i$ (例えば、 $1/16$ )を乗算して得られた乗算結果を加算器342に供給する。

【0065】加算器342は、上記係数乗算器339、340及び341各々から供給された乗算結果を加算して得られた加算信号を上記遅延回路334に供給する。遅延回路334は、かかる加算信号を上記遅延時間 $D$ なる時間分だけ遅延させて上記加算器332に供給する。加算器332は、上記変換画素データ $H_{Di}$ 中の下位 $i$ ビット分と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算した際に桁上げがない場合には論理レベル"0"、桁上げがある場合には論理レベル"1"のキャリアウト信号 $C_i$ を発生してこれを加算器333に供給する。

【0066】加算器333は、上記変換画素データ $H_{Di}$ 中の上位 $(m-i)$ ビット分からなる表示データに、上記キャリアウト信号 $C_i$ を加算したものを $(m-i)$ ビットを有する上記誤差拡散処理画素データ $ED$ として出力する。つまり、かかる誤差拡散処理画素データ $ED$ のビット数は、上記変換画素データ $H_{Di}$ よりも小となるのである。

【0067】以下に、かかる構成からなる誤差拡散処理回路330の動作について説明する。例えば、図25に示されるが如きPDP10の画素 $G(j,k)$ に対応した誤差拡散処理画素データ $ED$ を求める場合、先ず、かかる画素 $G(j,k)$ の左横の画素 $G(j,k-1)$ 、左斜め上の画素 $G(j-1,k-1)$ 、真上の画素 $G(j-1,k)$ 、及び右斜め上の画素 $G(j-1,k+1)$ 各々に対応した各誤差データ、すなわち、画素 $G(j,k-1)$ に対応した誤差データ:遅延加算信号 $AD_i$ 、画素 $G(j-1,k+1)$ に対応した誤差データ:遅延加算信号 $AD_i$ 、画素 $G(j-1,k)$ に対応した誤差データ:遅延加算信号 $AD_i$ 、画素 $G(j-1,k-1)$ に対応した誤差データ:遅延加算信号 $AD_i$ 、

各々を、上述した如き所定の係数値 $K_1 \sim K_4$ をもって重み付け加算する。次に、この加算結果に、変換画素データ $H_{Di}$ の下位 $i$ ビット分、すなわち画素 $G(j,k)$ に対応した誤差データを加算し、この際得られた1ビット分のキャリアウト信号 $C_i$ を変換画素データ $H_{Di}$ 中の上位 $(m-i)$ ビット分、すなわち画素 $G(j,k)$ に対応した表示データに加算したものを誤差拡散処理画素データ $ED$ とする。

【0068】かかる構成により、誤差拡散処理回路33

0では、変換画素データHD<sub>r</sub>中の上位(m-i)ビット分を表示データ、残りの下位iビット分を誤差データとして捉え、周辺画素[G(j,k-1)、G(j-1,k+1)、G(j-1,k)、G(j-1,k-1)]各々での誤差データを重み付け加算したものを、上記表示データに反映させるようにしている。かかる動作により、原画素[G(j,k)]における下位iビット分の輝度が上記周辺画素により擬似的に表現され、それ故にmビットよりも少ないビット数、すなわち(m-1)ビット分の表示データにて、上記mビット分の画素データと同等の輝度階調表現が可能になるのである。

【0069】尚、この誤差拡散の係数値が各画素に対して一定に加算されていると、誤差拡散パターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、後述するディザ係数の場合と同様に4つの画素各々に割り当てるべき誤差拡散の係数K<sub>1</sub>~K<sub>4</sub>を1フィールド毎に変更するようにしても良い。ディザ処理回路350は、かかる誤差拡散処理回路330から供給された(m-1)ビットの誤差拡散処理画素データEDにディザ処理を施すことにより、誤差拡散処理画素データEDと同等な輝度階調レベルを維持しつつもビット数を(m-i-j)ビットに減らした多階調化処理画素データD<sub>2</sub>を生成する。尚、かかるディザ処理では、隣接する複数の画素により1つの中間表示レベルを表現するものである。例えば、8ビットの画素データの内の上位6ビットの画素データを用いて8ビット相当の階調表示を行う場合、左右、上下に互いに隣接する4つの画素を1組とし、この1組の各画素に対応した画素データ各々に、互いに異なる係数値からなる4つのディザ係数a~dを夫々割り当てて加算する。かかるディザ処理によれば、4画素で4つの異なる中間表示レベルの組み合わせが発生することになる。よって、例え画素データのビット数が6ビットであっても、表現出来る輝度階調レベルは4倍、すなわち、8ビット相当の中間階調表示が可能となるのである。

【0070】しかしながら、ディザ係数a~dなるディザパターンが各画素に対して一定に加算されていると、このディザパターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、ディザ処理回路350においては、4つの画素各々に割り当てるべき上記ディザ係数a~dを1フィールド毎に変更するようにしている。

【0071】図26は、かかるディザ処理回路350の内部構成を示す図である。図26において、ディザ係数発生回路352は、互いに隣接する4つの画素毎に4つのディザ係数a、b、c、dを発生してこれらを順次加算器351に供給する。例えば、図27に示されるように、第j行に対応した画素G(j,k)及び画素G(j,k+1)、第(j+1)行に対応した画素G(j+1,k)及び画素G(j+1,k+1)なる4つの画素各々に対応した4つのディザ係数

a、b、c、dを発生する。この際、ディザ係数発生回路352は、これら4つの画素各々に割り当てるべき上記ディザ係数a~dを図27に示されるように1フィールド毎に変更して行く。

【0072】すなわち、最初の第1フィールドにおいては、

画素G(j,k) : ディザ係数a  
画素G(j,k+1) : ディザ係数b  
画素G(j+1,k) : ディザ係数c  
画素G(j+1,k+1) : ディザ係数d

次の第2フィールドにおいては、

画素G(j,k) : ディザ係数b  
画素G(j,k+1) : ディザ係数a  
画素G(j+1,k) : ディザ係数d  
画素G(j+1,k+1) : ディザ係数c

次の第3フィールドにおいては、

画素G(j,k) : ディザ係数d  
画素G(j,k+1) : ディザ係数c  
画素G(j+1,k) : ディザ係数b  
画素G(j+1,k+1) : ディザ係数a

そして、第4フィールドにおいては、

画素G(j,k) : ディザ係数c  
画素G(j,k+1) : ディザ係数d  
画素G(j+1,k) : ディザ係数a  
画素G(j+1,k+1) : ディザ係数b

の如き割り当てにて、ディザ係数a~dを循環して繰り返し発生し、これを加算器351に供給する。ディザ係数発生回路352は、上述した如き第1フィールド~第4フィールドの動作を繰り返し実行する。すなわち、かかる第4フィールドでのディザ係数発生動作が終了したら、再び、上記第1フィールドの動作に戻って、前述した動作を繰り返すのである。

【0073】加算器351は、上記誤差拡散処理回路330から供給されてくる上記画素G(j,k)、画素G(j,k+1)、画素G(j+1,k)、及び画素G(j+1,k+1)各々に対応した誤差拡散処理画素データED各々に、上述の如く各フィールド毎に割り当てられたディザ係数a~dを夫々加算し、この際得られたディザ加算画素データを上位ビット抽出回路353に供給する。

【0074】例えば、図27に示される第1フィールドにおいては、画素G(j,k)に対応した誤差拡散処理画素データED+ディザ係数a、画素G(j,k+1)に対応した誤差拡散処理画素データED+ディザ係数b、画素G(j+1,k)に対応した誤差拡散処理画素データED+ディザ係数c、画素G(j+1,k+1)に対応した誤差拡散処理画素データED+ディザ係数dの各々をディザ加算画素データとして上位ビット抽出回路353に順次供給して行くのである。

【0075】上位ビット抽出回路353は、かかるディザ加算画素データの上位(m-i-j)ビット分までを抽

出し、これを多階調画面素データ $D_i$ として図17に示される第2データ変換回路34に供給する。第2データ変換回路34は、かかる多階調画面素データ $D_i$ を図28又は図29に示されるが如き変換テーブルに従って、図14又は図15に示されるサブフィールドSF1~SF14各々に対応した第1~第14ビットからなる変換画面素データHD(表示画面素データ)に変換する。

【0076】図28及び図29において、多階調画面素データ $D_s$ は、8ビット(256階調)の入力画面素データ $D$ を第1データ変換(図22及び図23の変換テーブル)にしたがって224/225にし、さらに多階調化処理(例えば、誤差拡散及びディザ処理にて夫々2ビット圧縮して合計4ビットの圧縮を行う)により、4ビット(0~14:15階調)に変換したものである。

【0077】尚、図28は、図14に示されるが如き選択消去アドレス法による発光駆動を行う場合に用いる変換テーブル、一方、図29は、図15に示されるが如き選択書込法による発光駆動を行う場合に用いる変換テーブルを示すものである。この際、第1~第14ビットからなる変換画面素データHDにおける論理レベル"1"のビットは、そのビットに対応したサブフィールドSFにおける画面素データ書込行程 $W_c$ にて、選択消去放電(選択書込放電)を実施させることを示すものである。図16に示されるメモリ4は、駆動制御回路2から供給されてくる書込信号に応じて上記変換画面素データHDを順次書き込む。かかる書込動作により1画面( $n$ 行、 $m$ 列)分の書き込みが終了すると、メモリ4は、この1画面分の変換画面素データ $HD_{11} \dots$ 各々を各ビット桁毎(第1ビット~第14ビット)に分割して読み出し、これを1行分毎に順次アドレスドライバ6に供給する。

【0078】例えば、メモリ4は、図14に示されるが如き選択消去アドレス法による発光駆動を実施する場合には、図28に示されるが如き変換テーブルに従って変換された14ビットの変換画面素データHDを各ビット桁毎に分割し、第1ビットから第14ビットへと順次読み出し、これらを1フィールド期間内にアドレスドライバ6に供給して行くのである。

【0079】アドレスドライバ6は、かかるメモリ4から読み出された1行分毎の画面素データビット群各々の論理レベルに対応した電圧を有する画面素データパルス $DP_1 \sim DP_{14}$ 及び残留電荷量を消去させる為の消去パルス $AP$ を発生し、これらを図30又は図31に示されるが如きタイミングでPDP10の列電極 $D_1 \sim D_m$ に印加する。

【0080】駆動制御回路2は、入力された映像信号中の水平及び垂直同期信号に同期して、上記A/D変換器1に対するクロック信号、及びメモリ4に対する書込・読出信号を生成する。更に、駆動制御回路2は、かかる水平及び垂直同期信号に同期して、画面素データタイミング信号、リセットタイミング信号、走査タイミング信

号、及び維持タイミング信号を夫々発生する。この際、駆動制御回路2は、図14又は図15に示される各維持発光行程 $I_c$ 内において供給する維持タイミング信号の回数(期間)、すなわち、各維持発光行程 $I_c$ 内において印加される維持パルスの数を、図20に示されるが如き輝度モード信号 $LC$ にて指定されたモードに従って設定する。例えば、図14又は図15に示されるサブフィールドSF1の維持発光行程 $I_c$ においては、輝度モード信号 $LC$ にて指定されたモードがモード1である場合には"1"、モード2である場合には"2"、モード3である場合には"3"、モード4である場合には"4"の如く設定する。

【0081】第1サスティンドライバ7は、上記駆動制御回路2から供給された各種タイミング信号に応じて、残留電荷量を初期化するためのリセットパルス $RP_1$ 、放電発光状態を維持するための維持パルス $IP_1$ 各々を発生し、これらを図30又は図31に示されるが如きタイミングでPDP10の行電極 $X_1 \sim X_n$ に印加する。第2サスティンドライバ8は、上記駆動制御回路2から供給された各種タイミング信号に応じて、残留電荷量を初期化するためのリセットパルス $RP_1$ 、画面素データを書き込むための走査パルス $SP$ 、画面素データ書き込みを良好に実施させる為のブライミングパルス $PP$ 、放電発光状態を維持するための維持パルス $IP_1$ 、及び残留壁電荷を消去させる為の消去パルス $EP$ 各々を発生し、これらを図30又は図31に示されるが如きタイミングでPDP10の行電極 $Y_1 \sim Y_m$ に印加する。

【0082】尚、図30は、選択消去アドレス法による発光駆動時における1フィールド期間内での各駆動パルスの印加タイミングを示す図であり、図31は、選択書込アドレス法による発光駆動時における1フィールド期間内での各駆動パルスの印加タイミングを示す図である。この際、図31に示される選択書込アドレス法による発光駆動時においては、先ず、第1サスティンドライバ7及び第2サスティンドライバ8は、PDP10の行電極 $X$ 及び $Y$ に夫々リセットパルス $RP_1$ 及び $RP_2$ を同時に印加してPDP10中の全ての放電セルをリセット放電せしめることにより各放電セル内に強制的に壁電荷を形成させる( $R_1$ )。その直後に、第1サスティンドライバ7は、上記消去パルス $EP$ をPDP10の行電極 $X_1 \sim X_n$ に一斉に印加することにより、全放電セル内に形成された上記壁電荷を消去させる( $R_2$ )。上記 $R_1$ 及び $R_2$ の一連の動作により一斉リセット行程 $R_c$ を為している。図31における画面素データ書込行程 $W_c$ では、走査パルス $SP$ が印加された"行"と、高電圧の画面素データパルスが印加された"列"との交差部の放電セルにのみ放電が生じ、その放電セル内に選択的に壁電荷が形成される。かかる選択書込により、維持発光行程 $I_c$ において放電発光が実施される発光放電セルと、放電発光しない非発光放電セルとが設定される。

【0083】ここで、図28に示されるように、選択消去アドレス法による発光駆動を実施する場合には、変換画素データHDにおける論理レベル"1"のビットに対応したサブフィールドSFにおいてのみで選択消去放電が実施される（黒丸にて示す）。この際、先頭のサブフィールドSF1からこの選択消去放電が実施されまでの間に存在するサブフィールドSFにおいて点灯状態が維持され（白丸にて示す）、上記選択消去放電後は消灯状態を維持する。

【0084】又、選択書込アドレス法による発光駆動を実施する場合には、図29に示されるように、変換画素データHDにおける論理レベル"1"のビットに対応したサブフィールドSFにおいてのみで選択書込放電が実施される（黒丸にて示す）。この際、先頭のサブフィールドSF14からこの選択書込放電が実施されまでの間に存在するサブフィールドSFでは消灯状態が維持され、この選択書込放電が実施されたサブフィールドSF以降に存在するサブフィールドSFにおいて点灯状態が維持される（白丸にて示す）。

【0085】従って、かかる構成によれば、図28及び図29に示されるように、発光輝度比が、

(0, 1, 4, 9, 17, 27, 40, 56, 75, 97, 122, 150, 182, 217, 256)

なる15階調にてPDP10に対する発光駆動が実施されるが、上記多階調処理回路33の動作により、実際の視覚上における階調表現はかかる15階調よりも多くなる。

【0086】尚、実際の発光輝度は、図20に示されるが如き輝度モード信号LCにて指定されたモードによって変わる。すなわち、図14及び図15に示されている各発光維持行程Icでの発光期間は、図20におけるモード1での形態を示しているが、輝度モード信号LCにて指定されたモードがモード2である場合にはかかるモード1の2倍、モード3である場合には3倍、モード4である場合には4倍の輝度を表現するのである。

【0087】以上の如く、図14～図31に示される駆動方法では、所望の輝度を確保しつつ1フィールド期間内の先頭に配列されるサブフィールドにおいてのみで一斉リセット行程Rcを実行し、いずれか1のサブフィールドの画素データの書込行程においてのみで各放電セルが画素データに応じて発光セルと非発光セルの一方に設定された状態となるように構成している。この際、輝度を増加させる場合には、選択消去アドレス法を採用したときには1フィールドの先頭のサブフィールドから順に点灯状態にし、選択書込アドレス法を採用したときには1フィールドの最後尾のサブフィールドから順に点灯状態にする。

【0088】よって、図13に示されるが如き、1フィールド期間内において一斉リセット行程Rcを2回実行するものに比して、コントラストを向上させることが出来る。又、1フィールド期間内でのビット桁上がり時の

重心移動の回数、すなわち、1フィールド期間内での点灯状態から消灯状態（又は消灯状態から点灯状態）への推移の数が少ないので疑似輪郭を十分に軽減させることが出来る。更に、画素データの書き込みを担う選択消去動作（選択書込動作）が1フィールド期間内において1回で済むので、アドレス電力が大幅に低減される。

【0089】図32及び図33は、図16～図18に示される構成によって実施される他の発光駆動フォーマットを示す図である。図32及び図33に示されるが如き発光駆動フォーマットでは、1フィールド期間内におけるサブフィールドを、互いに連続して配置された複数のサブフィールドからなる2つのサブフィールド群に分け、各サブフィールド群の先頭に配列されるサブフィールドにおいてのみで一斉リセット行程Rcを実行し、いずれか1のサブフィールドの画素データの書き込み行程においてのみで各放電セルが画素データに応じて発光セルと非発光セルの一方に設定された状態となるように構成している。従って、各サブフィールド群において、一斉リセット動作、選択消去動作（選択書込動作）は、各1回となる。この際、輝度を増加させる場合には、選択消去アドレス法を採用したときには1フィールドの先頭のサブフィールドから順に点灯状態にし、選択書込アドレス法を採用したときには1フィールドの最後尾のサブフィールドから順に点灯状態にする。

【0090】尚、図32は、画素データ書込行程Wcにおいて上述した如き選択消去アドレス法により画素データの書き込みを行う場合、又、図33は、選択書込アドレス法により画素データの書き込みを行う場合各々での発光駆動フォーマットを示すものである。図32及び図33に示される発光駆動フォーマットでは、1フィールド期間をサブフィールドSF1～SF14なる14個のサブフィールドに分割している。

【0091】これらサブフィールドSF1～SF14各々では、画素データの書き込みを行って発光セル及び非発光セルの設定を行う画素データ書込行程Wcと、発光セルに対してのみ放電発光状態を維持させる維持発光行程Icとを実施する。この際、各維持発光行程Icでの発光時間（発光回数）は、サブフィールドSF1での発光時間を"1"とした場合、

SF1 : 1  
SF2 : 1  
SF3 : 1  
SF4 : 3  
SF5 : 3  
SF6 : 8  
SF7 : 13  
SF8 : 15  
SF9 : 20  
SF10 : 25  
SF11 : 31

SF12: 37

SF13: 48

SF14: 50

と設定されている。

【0092】すなわち、各サブフィールドSF1～SF14の発光回数の比を非線形（つまり、逆ガンマ比率： $Y=X^{1/\gamma}$ ）になるように設定し、これにより入力画素データDの非線形特性（ガンマ特性）を補正するようにしている。更に、これら各サブフィールドの内、先頭のサブフィールドと、中間のサブフィールドとで一斉リセット行程Rcを実行する。

【0093】つまり、図32に示されるが如き選択消去アドレス法を採用した際の発光駆動フォーマットではサブフィールドSF1とSF7とで一斉リセット行程Rcを実行し、図33に示されるが如き選択書込法を採用した際の発光駆動フォーマットではサブフィールドSF14とSF6とで一斉リセット行程Rcを実行するのである。又、図32及び図33に示されるように、1フィールド期間の最後尾のサブフィールド、及び一斉リセット行程Rcを実行する直前のサブフィールドにて、全ての放電セル内に残存している壁電荷を消滅せしめる消去行程Eを実行する。

【0094】図34は、かかる図32及び図33に示される発光駆動フォーマットに基づく発光駆動を行う場合に適用される図17における第1データ変換回路32の変換特性を示す図であり、図35及び図36は、かかる変換特性に基づく変換テーブルの一例を示す図である。ここで、第1データ変換回路32は、図35及び図36の変換テーブルに基づいて、256階調（8ビット）の入力輝度調整画素データD<sub>in</sub>を22×16/255（352/255）にした9ビット（0～352）の変換画素データHD<sub>in</sub>に変換して多階調化処理回路33に供給する。多階調化処理回路33では、上述と同様に例えば4ビットの圧縮処理を行い、5ビット（0～22）の多階調化画素データDsを出力する。

【0095】又、図37及び図38は、図17に示される第2データ変換回路34における変換テーブル、及び1フィールドにおける駆動状態を示す図である。この際、図37は、図32に示されるが如き選択消去アドレス法による発光駆動を行う場合に用いる変換テーブル、一方、図38は、図33に示されるが如き選択書込法による発光駆動を行う場合に用いる変換テーブルを示すものである。

【0096】図37及び図38において、多階調化画素データDsは、8ビット（256階調）の入力画素データDを第1データ変換（図22及び図23の変換テーブル）にしたがって352/255とし、さらに多階調化処理（例えば誤差拡散処理及びディザ処理により夫々2ビット分だけ圧縮した合計4ビットの圧縮処理）により、5ビット（0～22：23階調）に変換したもので

ある。

【0097】図32～図38に示される構成によれば、例え、1フィールド期間内において実施される一斉リセット行程Rc及び選択消去動作（選択書込動作）の回数が1フィールド期間内において2回であっても、図13に示される駆動方法に比して、コントラストの向上、疑似輪郭の軽減、並びにアドレス電力の低減が為される。

【0098】又、図32～図38に示される構成によれば、表示階調数は23となるため、図14～図31に示される構成（表示階調数が15）に比して表示階調数が増加する。

【0099】

【発明の効果】以上詳述した如く、本発明によれば、1フィールド期間内において全放電セルを初期化する一斉リセット動作の回数を減らすことが出来るので、画像のコントラストを高めることが可能となる。更に、1フィールド期間内での各画素データ書込行程において実施する選択消去（書込）放電の回数を減らすことが出来るので、低消費電力化が達成される。更に、輝度階調変化が少ない表示を行う場合でも、互いに隣接する放電セル間において両者の発光パターンが互いに反転してしまうことはないので、偽輪郭を抑制出来るのである。

【図面の簡単な説明】

【図1】64階調の中間調表示を実施する為の従来の発光駆動フォーマットを示す図である。

【図2】本発明による駆動方法に従ってプラズマディスプレイパネルを駆動するプラズマディスプレイ装置の概略構成を示す図である。

【図3】データ変換回路3における変換テーブルの一例を示す図である。

【図4】データ変換回路3における変換テーブルの一例を示す図である。

【図5】本発明による発光駆動フォーマットの一例を示す図である。

【図6】1リセットサイクル内においてPDP10に印加される各種駆動パルスの印加タイミングの一例を示す図である。

【図7】データ変換回路3における変換テーブルの他の一例を示す図である。

【図8】データ変換回路3における変換テーブルの他の一例を示す図である。

【図9】本発明による発光駆動フォーマットの他の一例を示す図である。

【図10】本発明による発光駆動フォーマットの更に他の一例を示す図である。

【図11】図10に示される発光駆動フォーマットにてPDP10を発光駆動する際に用いられる変換テーブルを示す図である。

【図12】図10に示される発光駆動フォーマットにてPDP10を発光駆動する際に用いられる変換テーブル

を示す図である。

【図 13】本発明による発光駆動フォーマットの他の一例を示す図である。

【図 14】本発明による発光駆動フォーマット（選択消去アドレス法）の他の一例を示す図である。

【図 15】本発明による発光駆動フォーマット（選択書込法）の他の一例を示す図である。

【図 16】本発明の他の実施例によるプラズマディスプレイ装置の概略構成を示す図である。

【図 17】データ変換回路 30 の内部構成を示す図である。

【図 18】ABL 回路 31 の内部構成を示す図である。

【図 19】データ変換回路 312 における変換特性を示す図である。

【図 20】輝度モードと各サブフィールドにおける発光期間との対応関係を示す図である。

【図 21】第 1 データ変換回路 32 における変換特性を示す図である。

【図 22】第 1 データ変換回路 32 における変換テーブルの一例を示す図である。

【図 23】第 1 データ変換回路 32 における変換テーブルの一例を示す図である。

【図 24】多階調処理回路 33 の内部構成を示す図である。

【図 25】誤差拡散処理回路 330 の動作を説明する為の図である。

【図 26】ディザ処理回路 350 の内部構成を示す図である。

【図 27】ディザ処理回路 350 の動作を説明する為の図である。

【図 28】第 2 データ変換回路 34 における変換テーブルの一例を示す図である。

【図 29】第 2 データ変換回路 34 における変換テーブルの一例を示す図である。

【図 30】本発明の駆動方法に基づく各種駆動パルスの

印加タイミング（選択消去アドレス法）を示す図である。

【図 31】本発明の駆動方法に基づく各種駆動パルスの印加タイミング（選択書込法）を示す図である。

【図 32】本発明による発光駆動フォーマット（選択消去アドレス法）の他の一例を示す図である。

【図 33】本発明による発光駆動フォーマット（選択書込法）の他の一例を示す図である。

【図 34】第 1 データ変換回路 32 における変換特性の他の一例を示す図である。

【図 35】第 1 データ変換回路 32 における変換テーブルの他の一例を示す図である。

【図 36】第 1 データ変換回路 32 における変換テーブルの他の一例を示す図である。

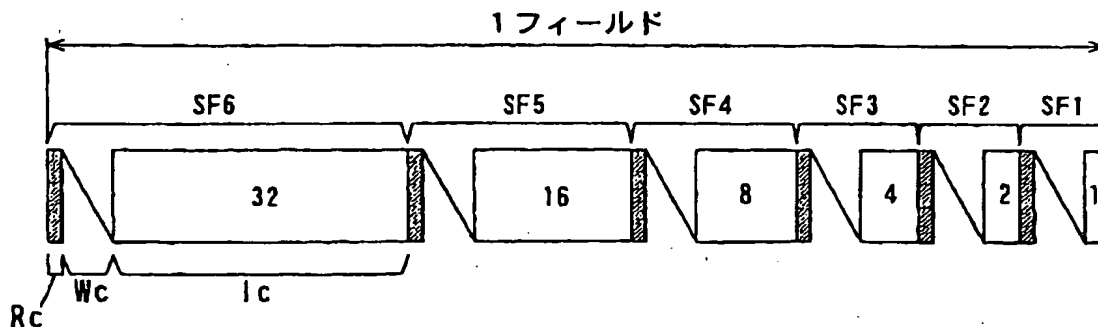
【図 37】第 2 データ変換回路 34 における変換テーブルの他の一例を示す図である。

【図 38】第 2 データ変換回路 34 における変換テーブルの他の一例を示す図である。

【主要部分の符号の説明】

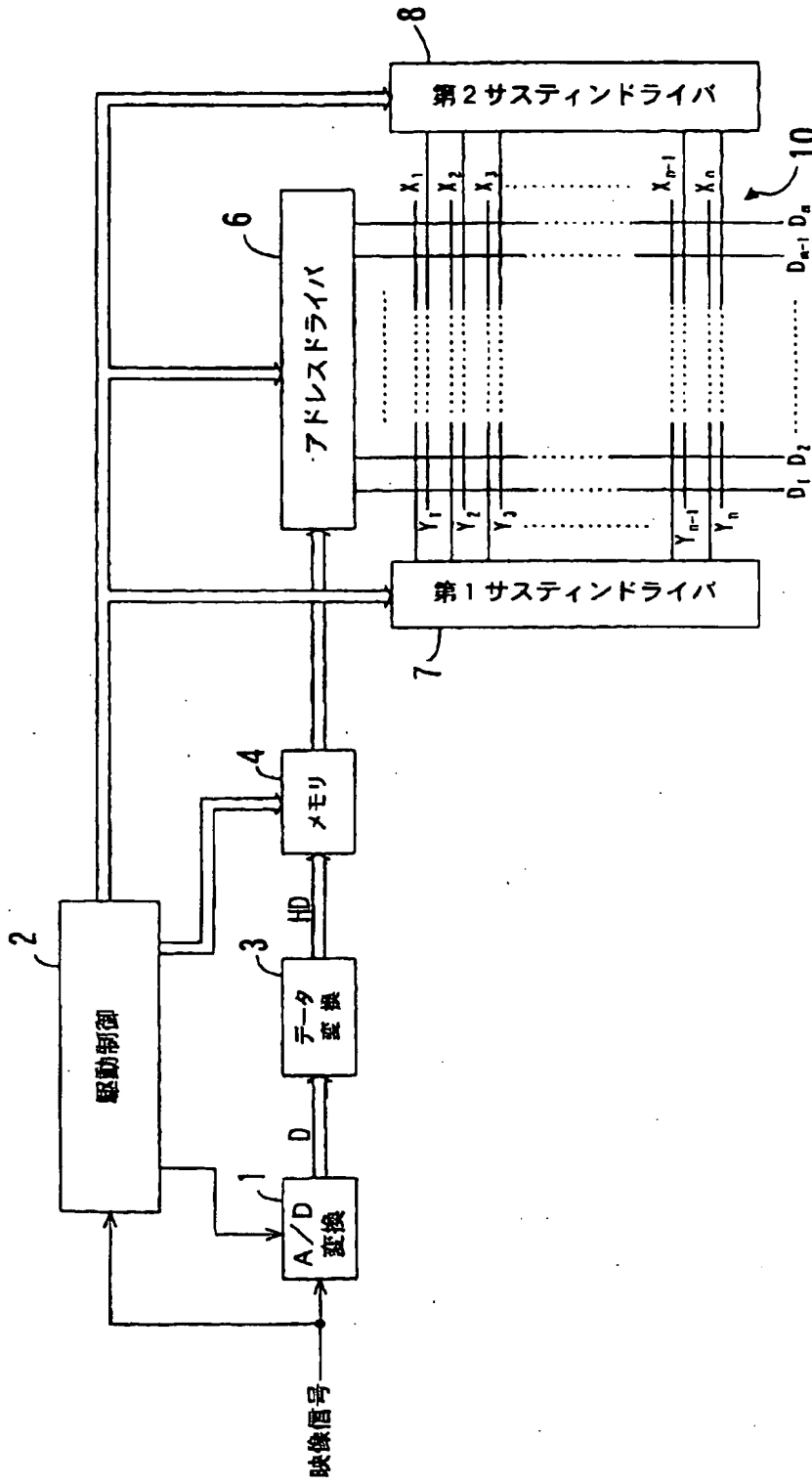
- 1 A/D変換器
- 2 駆動制御
- 3 データ変換回路
- 4 メモリ
- 6 アドレスドライバ
- 7 第 1 サスティンドライバ
- 8 第 2 サスティンドライバ
- 10 PDP（プラズマディスプレイパネル）
- 30 データ変換回路
- 31 ABL 回路
- 32 第 1 データ変換回路
- 33 多階調処理回路
- 34 第 2 データ変換回路
- 330 誤差拡散処理回路
- 350 ディザ処理回路

【図 1】

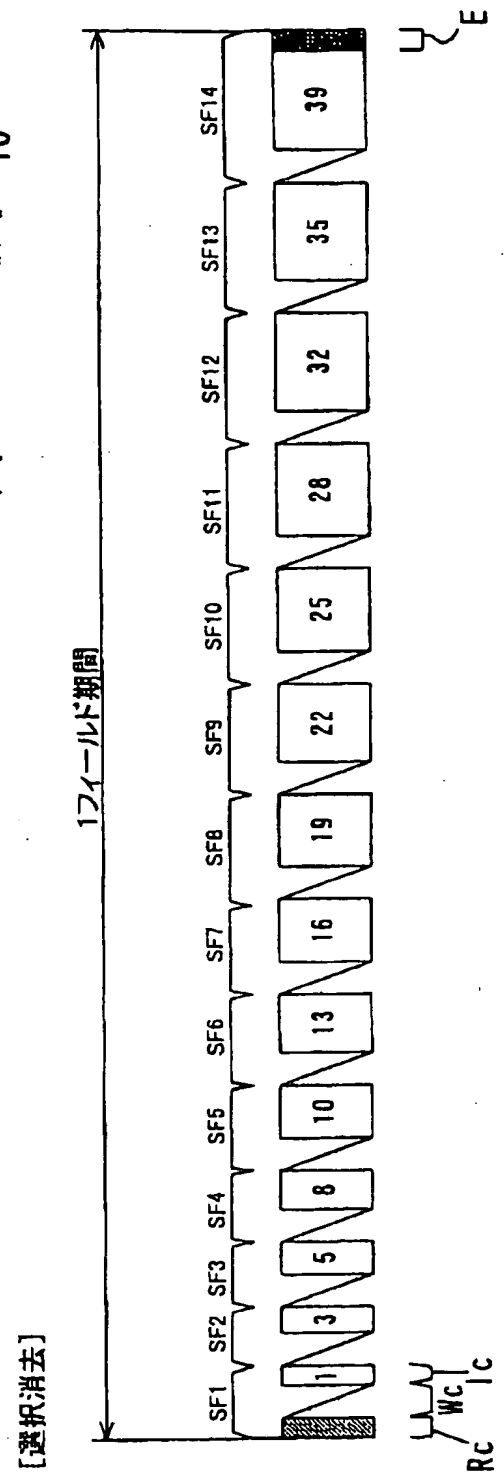




【図2】



【図14】



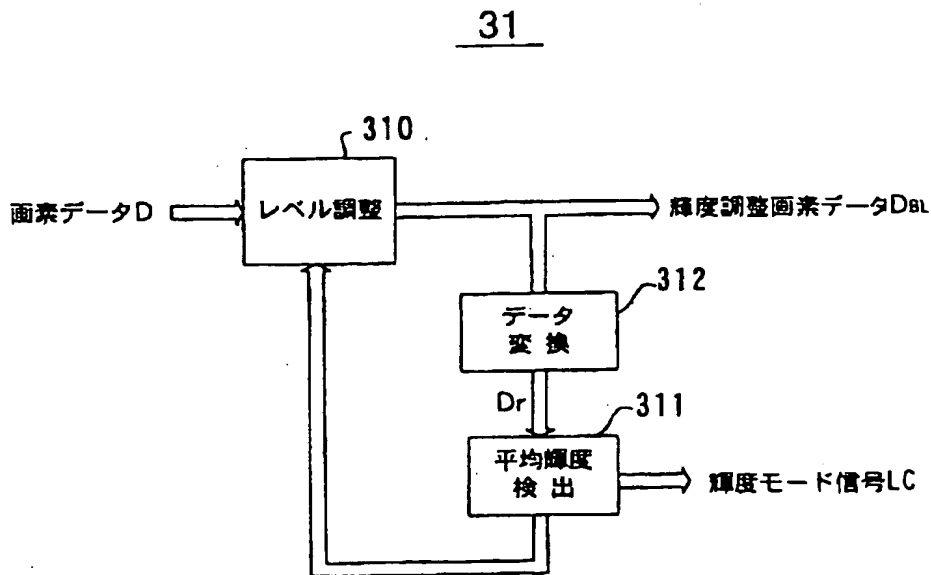
【図 3】

画素 番号	画素データD					変換画素データHD									
	0	1	2	3	4	5	SF1a	SF1b	SF1c	SF2a	SF2b	SF2c	SF3a	SF3b	SF3c
0	0	0	0	0	0	0	1	0	0	1	0	0	1	0	0
1	0	0	0	0	0	1	0	1	0	1	0	0	1	0	0
2	0	0	0	0	1	0	0	0	1	1	0	0	1	0	0
3	0	0	0	0	1	1	0	0	0	1	0	0	1	0	0
4	0	0	0	1	0	0	1	0	0	0	1	0	1	0	0
5	0	0	0	1	0	1	0	1	0	0	1	0	1	0	0
6	0	0	0	1	1	0	0	0	1	0	1	0	1	0	0
7	0	0	0	1	1	1	0	0	0	0	1	0	1	0	0
8	0	0	1	0	0	0	1	0	0	0	0	1	1	0	0
9	0	0	1	0	0	1	0	1	0	0	0	1	1	0	0
10	0	0	1	0	1	0	0	0	1	0	0	1	1	0	0
11	0	0	1	0	1	1	0	0	0	0	0	1	1	0	0
12	0	0	1	1	0	0	1	0	0	0	0	0	1	0	0
13	0	0	1	1	0	1	0	1	0	0	0	0	0	1	0
14	0	0	1	1	1	0	0	0	1	0	0	0	1	0	0
15	0	0	1	1	1	1	0	0	0	0	0	0	1	0	0
16	0	1	0	0	0	0	1	0	0	0	1	0	0	0	1
17	0	1	0	0	0	1	0	1	0	1	0	0	0	1	0
18	0	1	0	0	1	0	0	0	1	1	0	0	0	1	0
19	0	1	0	0	1	1	0	0	0	1	0	0	0	1	0
20	0	1	0	1	0	0	1	0	0	0	1	0	0	1	0
21	0	1	0	1	0	1	0	1	0	0	1	0	0	1	0
22	0	1	0	1	1	0	0	0	1	0	1	0	0	1	0
23	0	1	0	1	1	1	0	0	0	0	1	0	0	1	0
24	0	1	1	0	0	0	1	0	0	0	0	1	0	1	0
25	0	1	1	0	0	1	0	1	0	0	0	1	0	1	0
26	0	1	1	0	1	0	0	0	1	0	0	1	0	1	0
27	0	1	1	0	1	1	0	0	0	0	0	1	0	1	0
28	0	1	1	1	0	0	1	0	0	0	0	0	0	1	0
29	0	1	1	1	0	1	0	1	0	0	0	0	0	1	0
30	0	1	1	1	1	0	0	0	1	0	0	0	0	1	0
31	0	1	1	1	1	1	0	0	0	0	0	0	0	1	0

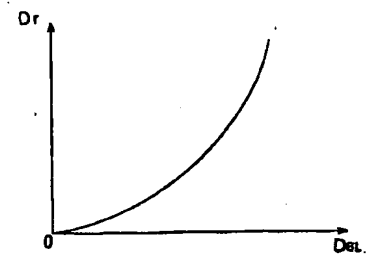
【図 4】

画素 番号	画素データD 0 1 2 3 4 5	変換画素データHD								
		SF1a	SF1b	SF1c	SF2a	SF2b	SF2c	SF3a	SF3b	SF3c
		0	1	2	3	4	5	6	7	8
32	1 0 0 0 0 0	1	0	0	1	0	0	0	0	1
33	1 0 0 0 0 1	0	1	0	1	0	0	0	0	1
34	1 0 0 0 1 0	0	0	1	1	0	0	0	0	1
35	1 0 0 0 1 1	0	0	0	1	0	0	0	0	1
36	1 0 0 1 0 0	1	0	0	0	1	0	0	0	1
37	1 0 0 1 0 1	0	1	0	0	1	0	0	0	1
38	1 0 0 1 1 0	0	0	1	0	1	0	0	0	1
39	1 0 0 1 1 1	0	0	0	0	1	0	0	0	1
40	1 0 1 0 0 0	1	0	0	0	0	1	0	0	1
41	1 0 1 0 0 1	0	1	0	0	0	1	0	0	1
42	1 0 1 0 1 0	0	0	1	0	0	1	0	0	1
43	1 0 1 0 1 1	0	0	0	0	0	1	0	0	1
44	1 0 1 1 0 0	1	0	0	0	0	0	0	0	1
45	1 0 1 1 0 1	0	1	0	0	0	0	0	0	1
46	1 0 1 1 1 0	0	0	1	0	0	0	0	0	1
47	1 0 1 1 1 1	0	0	0	0	0	0	0	0	1
48	1 1 0 0 0 0	1	0	0	1	0	0	0	0	0
49	1 1 0 0 0 1	0	1	0	1	0	0	0	0	0
50	1 1 0 0 1 0	0	0	1	1	0	0	0	0	0
51	1 1 0 0 1 1	0	0	0	1	0	0	0	0	0
52	1 1 0 1 0 0	1	0	0	0	1	0	0	0	0
53	1 1 0 1 0 1	0	1	0	0	1	0	0	0	0
54	1 1 0 1 1 0	0	0	1	0	1	0	0	0	0
55	1 1 0 1 1 1	0	0	0	0	1	0	0	0	0
56	1 1 1 0 0 0	1	0	0	0	0	1	0	0	0
57	1 1 1 0 0 1	0	1	0	0	0	1	0	0	0
58	1 1 1 0 1 0	0	0	1	0	0	1	0	0	0
59	1 1 1 0 1 1	0	0	0	0	0	1	0	0	0
60	1 1 1 1 0 0	1	0	0	0	0	0	0	0	0
61	1 1 1 1 0 1	0	1	0	0	0	0	0	0	0
62	1 1 1 1 1 0	0	0	1	0	0	0	0	0	0
63	1 1 1 1 1 1	0	0	0	0	0	0	0	0	0

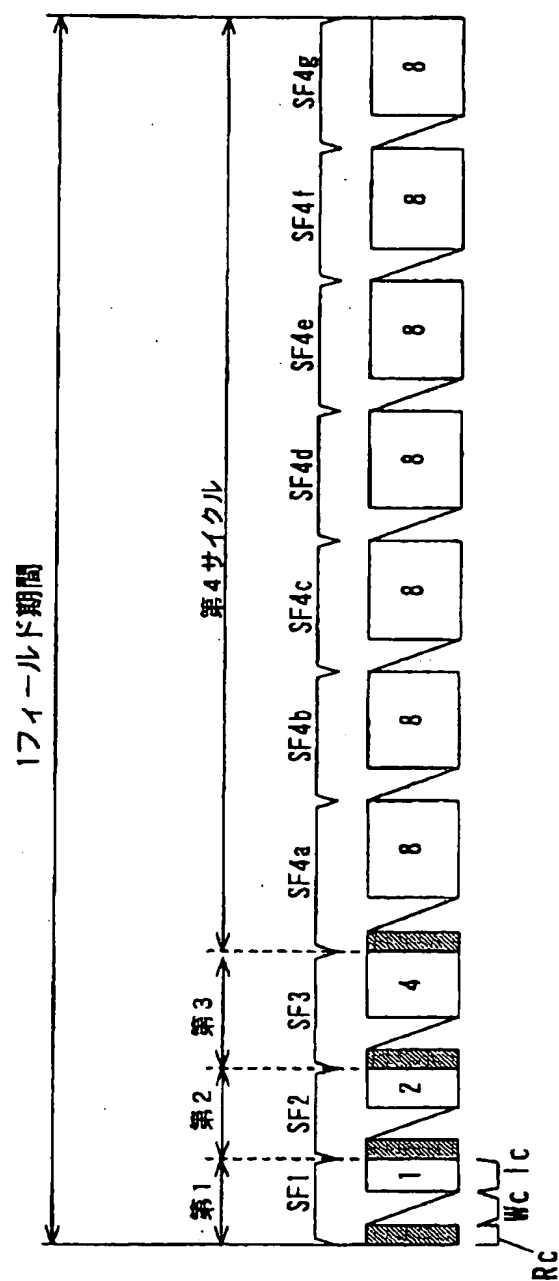
【図 18】



【図 19】



【图 9】





【図 7】

行 数	図素データ D	変換図素データ HD									
		SF1	SF2	SF3	SF4a	SF4b	SF4c	SF4d	SF4e	SF4f	SF4g
		0	1	2	3	4	5	6	7	8	9
0	0 0 0 0 0 0	1	1	1	1	0	0	0	0	0	0
1	0 0 0 0 0 1	0	1	1	1	0	0	0	0	0	0
2	0 0 0 0 1 0	1	0	1	1	0	0	0	0	0	0
3	0 0 0 0 1 1	0	0	1	1	0	0	0	0	0	0
4	0 0 0 1 0 0	1	1	0	1	0	0	0	0	0	0
5	0 0 0 1 0 1	0	1	0	1	0	0	0	0	0	0
6	0 0 0 1 1 0	1	0	0	1	0	0	0	0	0	0
7	0 0 0 1 1 1	0	0	0	1	0	0	0	0	0	0
8	0 0 1 0 0 0	1	1	1	0	1	0	0	0	0	0
9	0 0 1 0 0 1	0	1	1	0	1	0	0	0	0	0
10	0 0 1 0 1 0	1	0	1	0	1	0	0	0	0	0
11	0 0 1 0 1 1	0	0	1	0	1	0	0	0	0	0
12	0 0 1 1 0 0	1	1	0	0	1	0	0	0	0	0
13	0 0 1 1 0 1	0	1	0	0	1	0	0	0	0	0
14	0 0 1 1 1 0	1	0	0	0	1	0	0	0	0	0
15	0 0 1 1 1 1	0	0	0	0	1	0	0	0	0	0
16	0 1 0 0 0 0	1	1	1	0	0	1	0	0	0	0
17	0 1 0 0 0 1	0	1	1	0	0	1	0	0	0	0
18	0 1 0 0 1 0	1	0	1	0	0	1	0	0	0	0
19	0 1 0 0 1 1	0	0	1	0	0	1	0	0	0	0
20	0 1 0 1 0 0	1	1	0	0	0	1	0	0	0	0
21	0 1 0 1 0 1	0	1	0	0	0	1	0	0	0	0
22	0 1 0 1 1 0	1	0	0	0	0	1	0	0	0	0
23	0 1 0 1 1 1	0	0	0	0	0	1	0	0	0	0
24	0 1 1 0 0 0	1	1	1	0	0	0	1	0	0	0
25	0 1 1 0 0 1	0	1	1	0	0	0	1	0	0	0
26	0 1 1 0 1 0	1	0	1	0	0	0	1	0	0	0
27	0 1 1 0 1 1	0	0	1	0	0	0	1	0	0	0
28	0 1 1 1 0 0	1	1	0	0	0	0	1	0	0	0
29	0 1 1 1 0 1	0	1	0	0	0	0	1	0	0	0
30	0 1 1 1 1 0	1	0	0	0	0	0	1	0	0	0
31	0 1 1 1 1 1	0	0	0	0	0	0	1	0	0	0

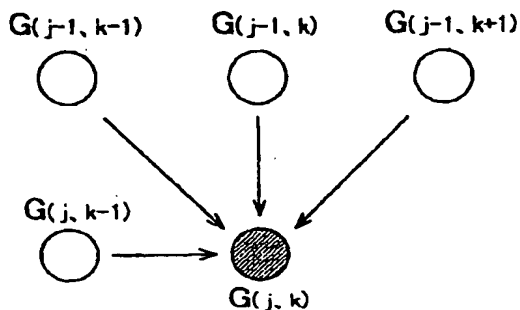
【図 8】

行 数	図素データ D	変換図素データ HD									
		SF1	SF2	SF3	SF4a	SF4b	SF4c	SF4d	SF4e	SF4f	SF4g
		0	1	2	3	4	5	6	7	8	9
32	1 0 0 0 0 0	1	1	1	0	0	0	0	1	0	0
33	1 0 0 0 0 1	0	1	1	0	0	0	0	1	0	0
34	1 0 0 0 1 0	1	0	1	0	0	0	0	1	0	0
35	1 0 0 0 1 1	0	0	1	0	0	0	0	1	0	0
36	1 0 0 1 0 0	1	1	0	0	0	0	0	1	0	0
37	1 0 0 1 0 1	0	1	0	0	0	0	0	1	0	0
38	1 0 0 1 1 0	1	0	0	0	0	0	0	1	0	0
39	1 0 0 1 1 1	0	0	0	0	0	0	0	1	0	0
40	1 0 1 0 0 0	1	1	1	0	0	0	0	0	1	0
41	1 0 1 0 0 1	0	1	1	0	0	0	0	0	1	0
42	1 0 1 0 1 0	1	0	1	0	0	0	0	0	1	0
43	1 0 1 0 1 1	0	0	1	0	0	0	0	0	1	0
44	1 0 1 1 0 0	1	1	0	0	0	0	0	0	1	0
45	1 0 1 1 0 1	0	1	0	0	0	0	0	0	1	0
46	1 0 1 1 1 0	1	0	0	0	0	0	0	0	1	0
47	1 0 1 1 1 1	0	0	0	0	0	0	0	0	1	0
48	1 1 0 0 0 0	1	1	1	0	0	0	0	0	0	1
49	1 1 0 0 0 1	0	1	1	0	0	0	0	0	0	1
50	1 1 0 0 1 0	1	0	1	0	0	0	0	0	0	1
51	1 1 0 0 1 1	0	0	1	0	0	0	0	0	0	1
52	1 1 0 1 0 0	1	1	0	0	0	0	0	0	0	1
53	1 1 0 1 0 1	0	1	0	0	0	0	0	0	0	1
54	1 1 0 1 1 0	1	0	0	0	0	0	0	0	0	1
55	1 1 0 1 1 1	0	0	0	0	0	0	0	0	0	1
56	1 1 1 0 0 0	1	1	1	0	0	0	0	0	0	0
57	1 1 1 0 0 1	0	1	1	0	0	0	0	0	0	0
58	1 1 1 0 1 0	1	0	1	0	0	0	0	0	0	0
59	1 1 1 0 1 1	0	0	1	0	0	0	0	0	0	0
60	1 1 1 1 0 0	1	1	0	0	0	0	0	0	0	0
61	1 1 1 1 0 1	0	1	0	0	0	0	0	0	0	0
62	1 1 1 1 1 0	1	0	0	0	0	0	0	0	0	0
63	1 1 1 1 1 1	0	0	0	0	0	0	0	0	0	0

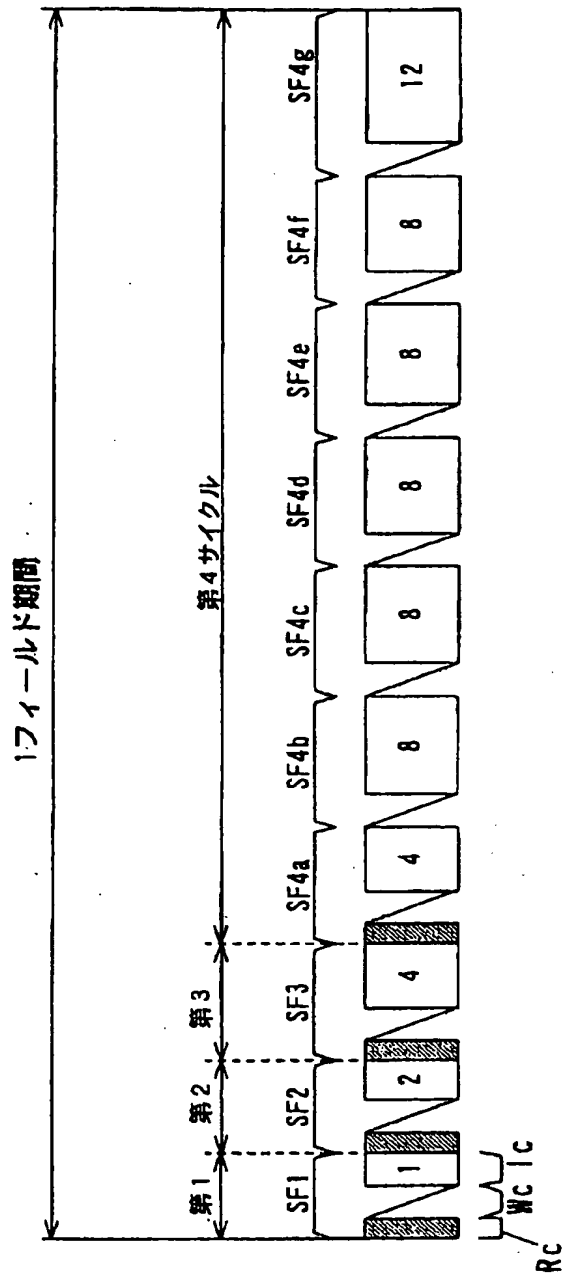
【図 20】

LC	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	SF10	SF11	SF12	SF13	SF14
モード1	1	3	5	8	10	13	16	19	22	25	28	32	35	39
モード2	2	6	10	16	20	26	32	38	44	50	56	64	70	78
モード3	3	9	15	24	30	39	48	57	66	75	84	96	105	117
モード4	4	12	20	32	40	52	64	76	88	100	112	128	140	156

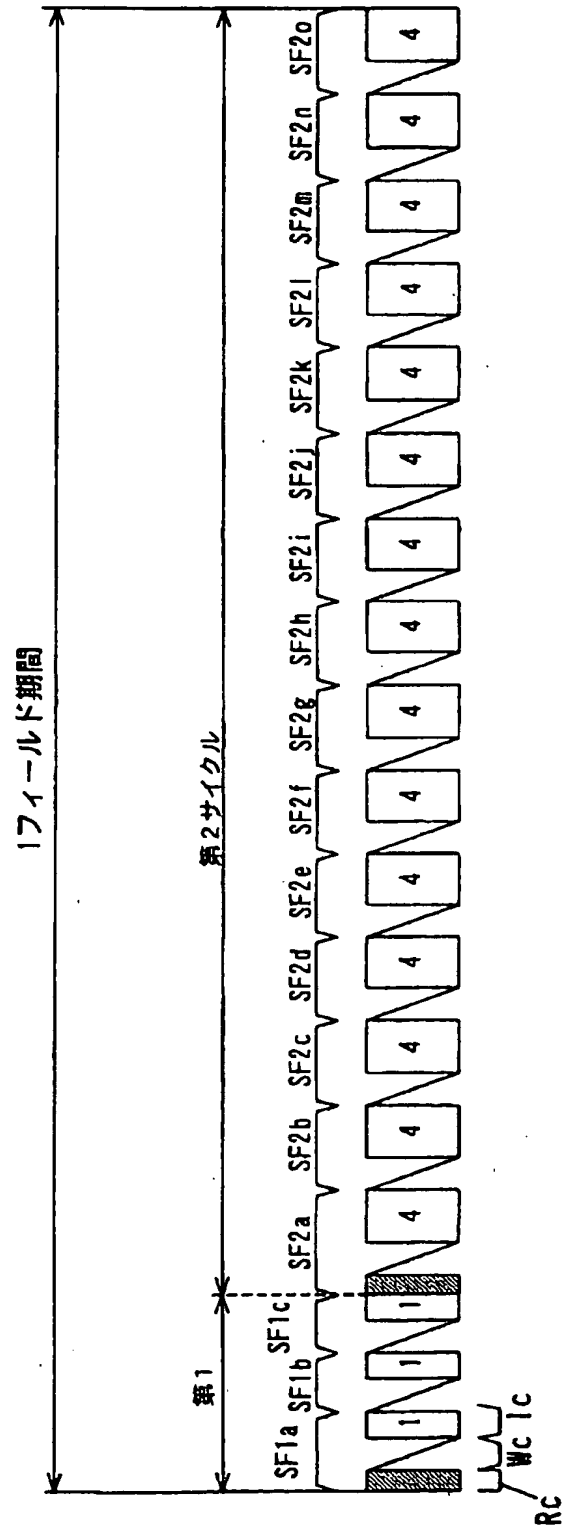
【図 25】



【図 10】



【図 13】



【図 11】

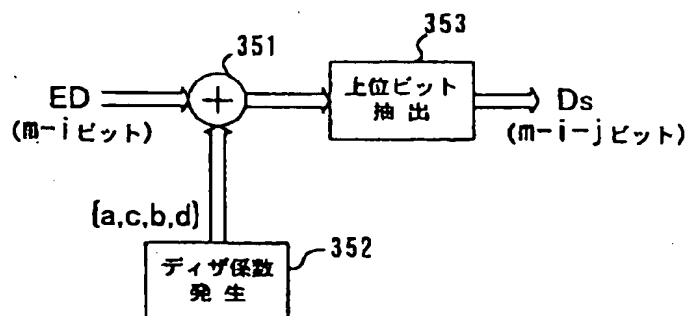
輝度	画素データD 0 1 2 3 4 5	変換画素データHD									
		SF1	SF2	SF3	SF4a	SF4b	SF4c	SF4d	SF4e	SF4f	SF4g
		0	1	2	3	4	5	6	7	8	9
0	000000	1	1	1	1	0	0	0	0	0	0
1	000001	0	1	1	1	0	0	0	0	0	0
2	000010	1	0	1	1	0	0	0	0	0	0
3	000011	0	0	1	1	0	0	0	0	0	0
4	000100	1	1	0	1	0	0	0	0	0	0
5	000101	0	1	0	1	0	0	0	0	0	0
6	000110	1	0	0	1	0	0	0	0	0	0
7	000111	0	0	0	1	0	0	0	0	0	0
8	001000	1	1	0	0	1	0	0	0	0	0
9	001001	0	1	0	0	1	0	0	0	0	0
10	001010	1	0	0	0	1	0	0	0	0	0
11	001011	0	0	0	0	1	0	0	0	0	0
12	001100	1	1	1	0	0	1	0	0	0	0
13	001101	0	1	1	0	0	1	0	0	0	0
14	001110	1	0	1	0	0	1	0	0	0	0
15	001111	0	0	1	0	0	1	0	0	0	0
16	010000	1	1	0	0	0	1	0	0	0	0
17	010001	0	1	0	0	0	1	0	0	0	0
18	010010	1	0	0	0	0	1	0	0	0	0
19	010011	0	0	0	0	0	1	0	0	0	0
20	010100	1	1	1	0	0	0	1	0	0	0
21	010101	0	1	1	0	0	0	1	0	0	0
22	010110	1	0	1	0	0	0	1	0	0	0
23	010111	0	0	1	0	0	0	1	0	0	0
24	011000	1	1	0	0	0	0	1	0	0	0
25	011001	0	1	0	0	0	0	1	0	0	0
26	011010	1	0	0	0	0	0	1	0	0	0
27	011011	0	0	0	0	0	0	1	0	0	0
28	011100	1	1	1	0	0	0	0	1	0	0
29	011101	0	1	1	0	0	0	0	1	0	0
30	011110	1	0	1	0	0	0	0	1	0	0
31	011111	0	0	1	0	0	0	0	1	0	0

【図 12】

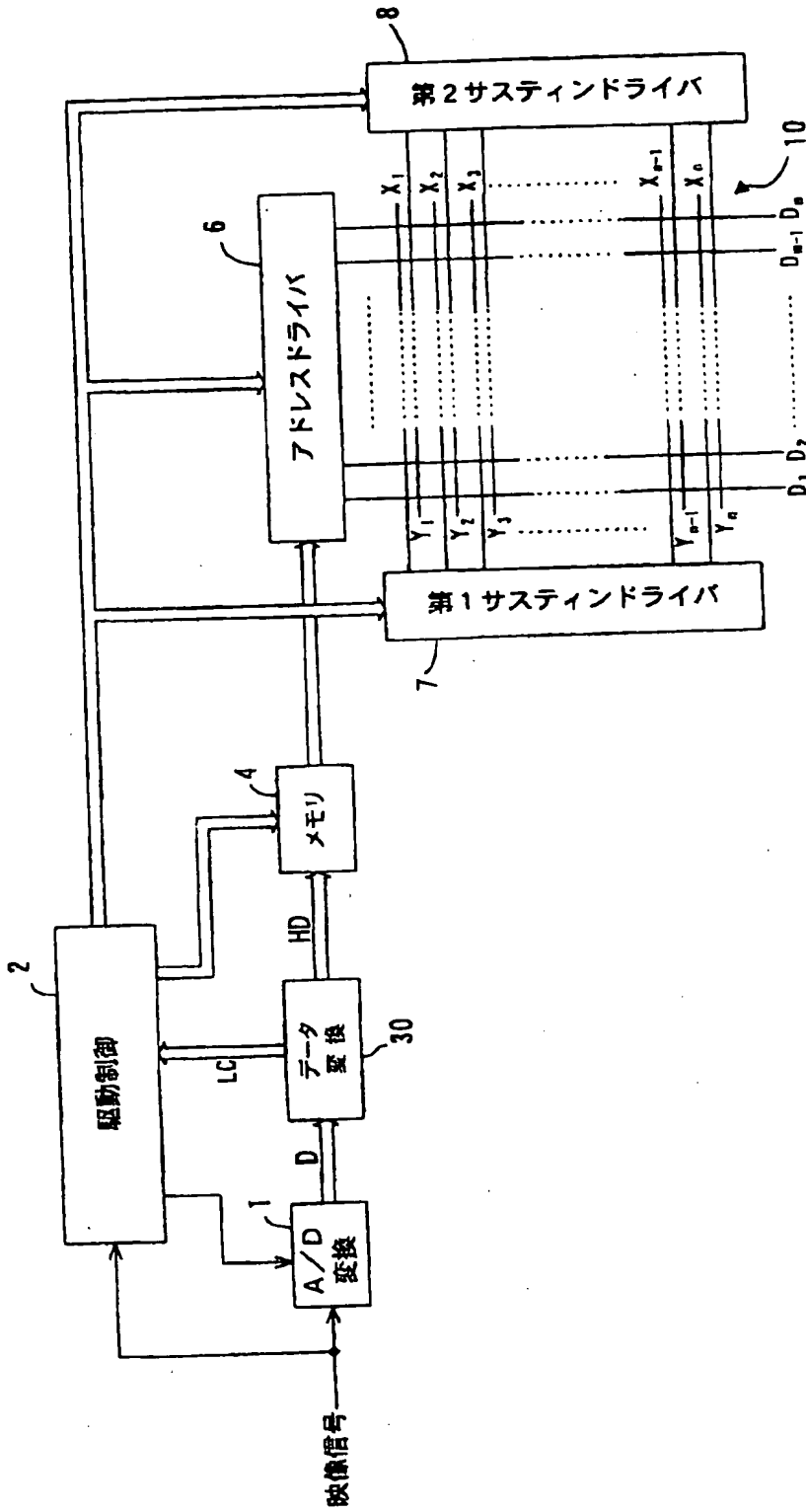
輝度	画素データD 0 1 2 3 4 5	変換画素データHD									
		SF1	SF2	SF3	SF4a	SF4b	SF4c	SF4d	SF4e	SF4f	SF4g
		0	1	2	3	4	5	6	7	8	9
32	100000	1	1	0	0	0	0	0	1	0	0
33	100001	0	1	0	0	0	0	0	1	0	0
34	100010	1	0	0	0	0	0	0	1	0	0
35	100011	0	0	0	0	0	0	0	1	0	0
36	100100	1	1	1	0	0	0	0	0	1	0
37	100101	0	1	1	0	0	0	0	0	1	0
38	100110	1	0	1	0	0	0	0	0	1	0
39	100111	0	0	1	0	0	0	0	0	1	0
40	101000	1	1	0	0	0	0	0	0	1	0
41	101001	0	1	0	0	0	0	0	0	1	0
42	101010	1	0	0	0	0	0	0	0	1	0
43	101011	0	0	0	0	0	0	0	0	1	0
44	101100	1	1	1	0	0	0	0	0	0	1
45	101101	0	1	1	0	0	0	0	0	0	1
46	101110	1	0	1	0	0	0	0	0	0	1
47	101111	0	0	1	0	0	0	0	0	0	1
48	110000	1	1	0	0	0	0	0	0	0	1
49	110001	0	1	0	0	0	0	0	0	0	1
50	110010	1	0	0	0	0	0	0	0	0	1
51	110011	0	0	0	0	0	0	0	0	0	1
52	110100	1	1	1	0	0	0	0	0	0	0
53	110101	1	1	1	0	0	0	0	0	0	0
54	110110	1	1	1	0	0	0	0	0	0	0
55	110111	1	1	1	0	0	0	0	0	0	0
56	111000	1	1	1	0	0	0	0	0	0	0
57	111001	1	1	1	0	0	0	0	0	0	0
58	111010	0	0	0	0	0	0	0	0	0	0
59	111011	0	0	0	0	0	0	0	0	0	0
60	111100	0	0	0	0	0	0	0	0	0	0
61	111101	0	0	0	0	0	0	0	0	0	0
62	111110	0	0	0	0	0	0	0	0	0	0
63	111111	0	0	0	0	0	0	0	0	0	0

【図 26】

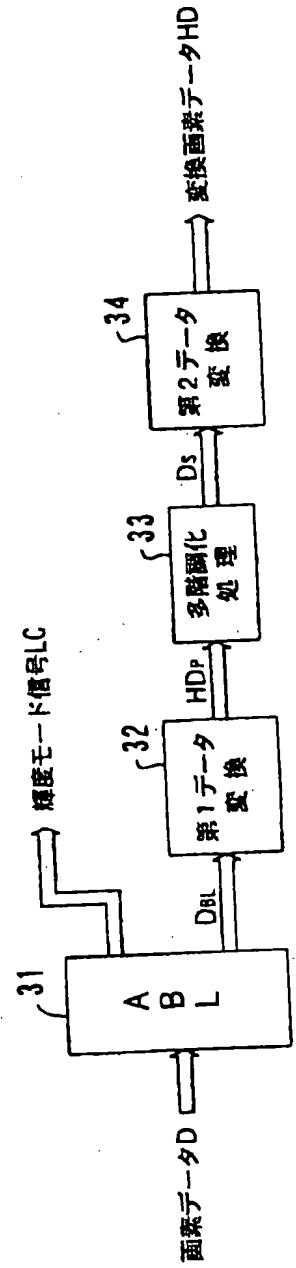
350



【図16】

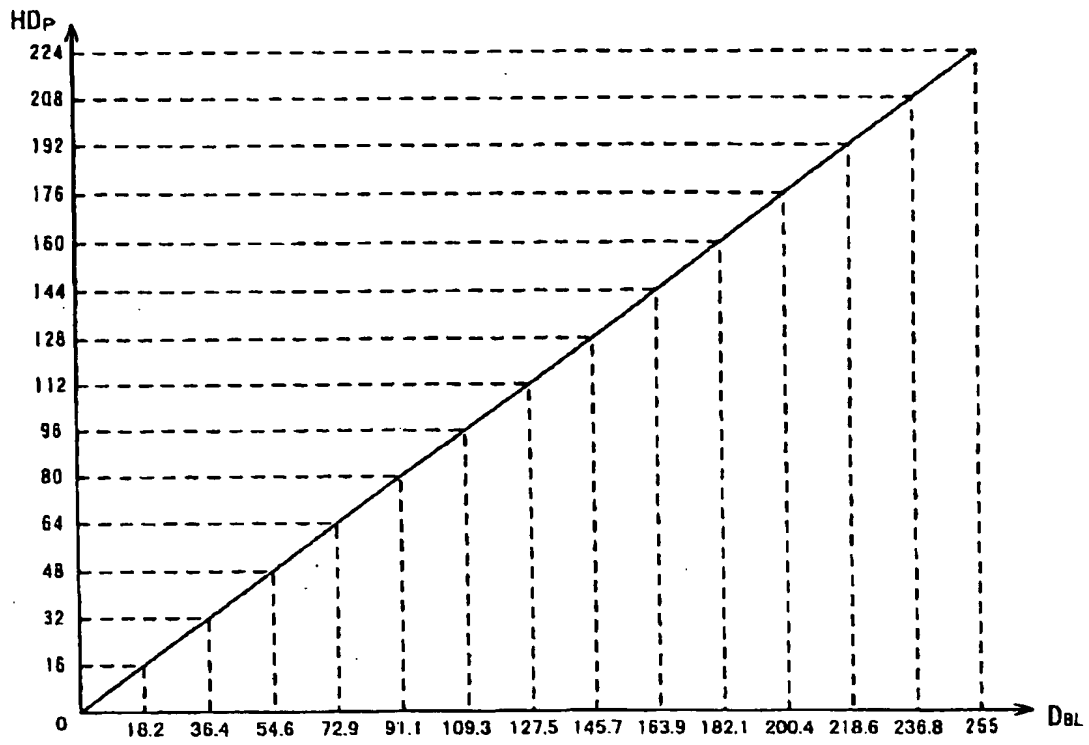


【図17】





【図 21】



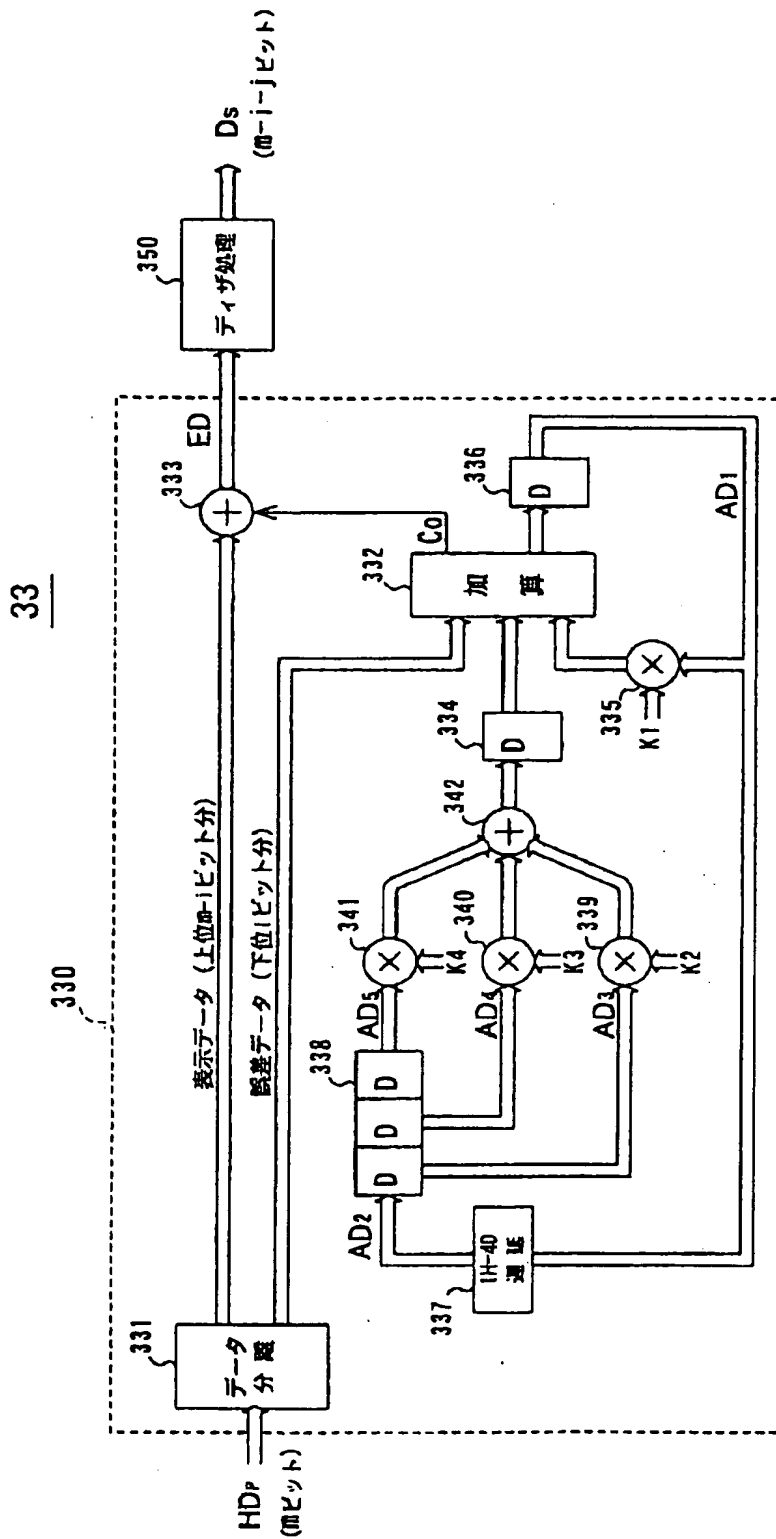
【図 22】

D <sub>BL</sub>		HD <sub>P</sub>		D <sub>BL</sub>		HD <sub>P</sub>	
球度	0 ~ 7	球度	0 ~ 7	球度	0 ~ 7	球度	0 ~ 7
0	00000000	0	00000000	84	01000000	58	00111000
1	00000001	0	00000000	85	01000001	57	00111001
2	00000010	1	00000001	86	01000010	57	00111001
3	00000011	2	00000010	87	01000011	58	00111010
4	00000100	3	00000011	88	01000100	59	00111011
5	00000101	4	00000100	69	01000101	60	00111100
6	00000110	5	00000101	70	01000110	61	00111101
7	00000111	6	00000110	71	01000111	62	00111110
8	00001000	7	00000111	72	01001000	63	00111111
9	00001001	7	00000111	73	01001001	64	01000000
10	00001010	8	00001000	74	01001010	65	01000001
11	00001011	9	00001001	75	01001011	65	01000001
12	00001100	10	00001010	76	01001100	66	01000010
13	00001101	11	00001011	77	01001101	67	01000011
14	00001110	12	00001100	78	01001110	68	01000100
15	00001111	13	00001101	79	01001111	69	01000101
16	00010000	14	00001110	80	01010000	70	01000110
17	00010001	14	00001110	81	01010001	71	01000111
18	00010010	15	00001111	82	01010010	72	01001000
19	00010011	16	00010000	83	01010011	72	01001000
20	00010100	17	00010001	84	01010100	73	01001001
21	00010101	18	00010010	85	01010101	74	01001010
22	00010110	19	00010011	86	01010110	75	01001011
23	00010111	20	00010100	87	01010111	76	01001100
24	00011000	21	00010101	88	01011000	77	01001101
25	00011001	21	00010101	89	01011001	77	01001101
26	00011010	22	00010110	90	01011010	78	01001110
27	00011011	23	00010111	91	01011011	79	01001111
28	00011100	24	00011000	92	01011100	80	01010000
29	00011101	25	00011001	93	01011101	81	01010001
30	00011110	26	00011010	94	01011110	82	01010010
31	00011111	27	00011011	95	01011111	83	01010011
32	00100000	28	00011100	96	01100000	84	01010100
33	00100001	28	00011100	97	01100001	85	01010101
34	00100010	29	00011101	98	01100010	86	01010110
35	00100011	30	00011110	99	01100011	86	01010110
36	00100100	31	00011111	100	01100100	87	01010111
37	00100101	32	00100000	101	01100101	88	01011000
38	00100110	33	00100001	102	01100110	89	01011001
39	00100111	34	00100010	103	01100111	90	01011010
40	00101000	35	00100011	104	01101000	91	01011011
41	00101001	36	00100100	105	01101001	92	01011100
42	00101010	36	00100100	106	01101010	93	01011101
43	00101011	37	00100101	107	01101011	93	01011101
44	00101100	38	00100110	108	01101100	94	01011110
45	00101101	39	00100111	109	01101101	95	01011111
46	00101110	40	00101000	110	01101110	96	01100000
47	00101111	41	00101001	111	01101111	97	01100001
48	00110000	42	00101010	112	01110000	98	01100010
48	00110001	43	00101011	113	01110001	99	01100011
50	00110010	43	00101011	114	01110010	100	01100100
51	00110011	44	00101100	115	01110011	101	01100101
52	00110100	45	00101101	116	01110100	101	01100101
53	00110101	46	00101110	117	01110101	102	01100110
54	00110110	47	00101111	118	01110110	103	01100111
55	00110111	48	00110000	119	01110111	104	01101000
56	00111000	49	00110001	120	01111000	105	01101001
57	00111001	50	00110010	121	01111001	106	01101010
58	00111010	50	00110010	122	01111010	107	01101011
59	00111011	51	00110011	123	01111011	108	01101100
60	00111100	52	00110100	124	01111100	108	01101100
61	00111101	53	00110101	125	01111101	109	01101101
62	00111110	54	00110110	126	01111110	110	01101110
63	00111111	55	00110111	127	01111111	111	01101111

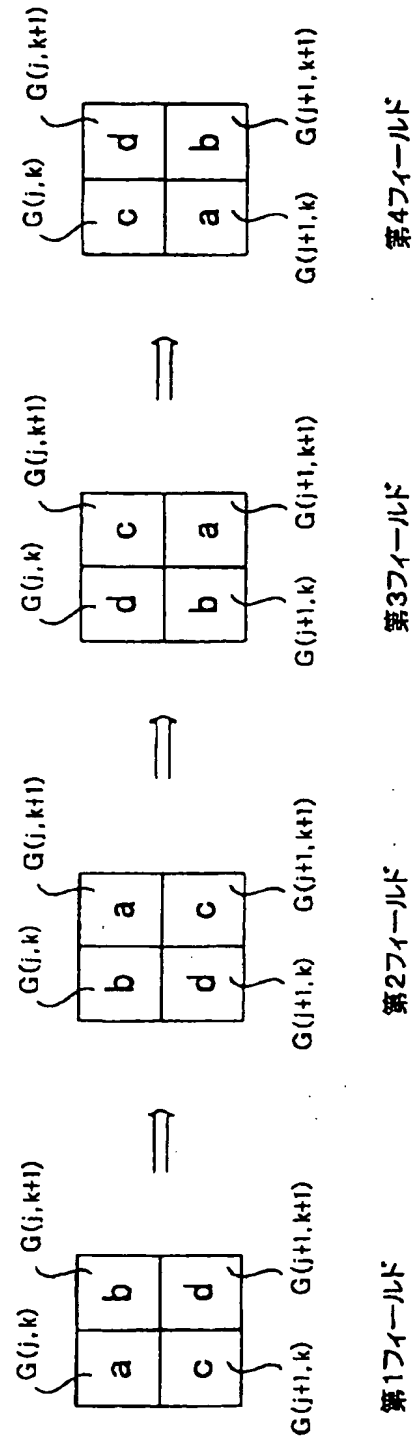
【図 23】

D <sub>RL</sub>		HD <sub>P</sub>		D <sub>BL</sub>		HD <sub>P</sub>	
輝度	0 ~ 7	輝度	0 ~ 7	輝度	0 ~ 7	輝度	0 ~ 7
128	10000000	112	01110000	192	11000000	168	10101000
129	10000001	113	01110001	193	11000001	169	10101001
130	10000010	114	01110010	194	11000010	170	10101010
131	10000011	115	01110011	195	11000011	171	10101011
132	10000100	115	01110011	196	11000100	172	10101100
133	10000101	116	01110100	197	11000101	173	10101101
134	10000110	117	01110101	198	11000110	173	10101101
135	10000111	118	01110110	199	11000111	174	10101110
136	10001000	119	01110111	200	11001000	175	10101111
137	10001001	120	01111000	201	11001001	176	10110000
138	10001010	121	01111001	202	11001010	177	10110001
139	10001011	122	01111010	203	11001011	178	10110010
140	10001100	122	01111010	204	11001100	179	10110011
141	10001101	123	01111011	205	11001101	180	10110100
142	10001110	124	01111100	206	11001110	180	10110100
143	10001111	125	01111101	207	11001111	181	10110101
144	10010000	126	01111110	208	11010000	182	10110110
145	10010001	127	01111111	209	11010001	183	10110111
146	10010010	128	10000000	210	11010010	184	10111000
147	10010011	129	10000001	211	11010011	185	10111001
148	10010100	130	10000010	212	11010100	186	10111010
149	10010101	130	10000010	213	11010101	187	10111011
150	10010110	131	10000011	214	11010110	187	10111011
151	10010111	132	10000100	215	11010111	188	10111100
152	10011000	133	10000101	216	11011000	189	10111101
153	10011001	134	10000110	217	11011001	190	10111110
154	10011010	135	10000111	218	11011010	191	10111111
155	10011011	136	10001000	219	11011011	192	11000000
156	10011100	137	10001001	220	11011100	193	11000001
157	10011101	137	10001001	221	11011101	194	11000010
158	10011110	138	10001010	222	11011110	195	11000011
159	10011111	139	10001011	223	11011111	195	11000011
160	10100000	140	10001100	224	11100000	196	11000100
161	10100001	141	10001101	225	11100001	197	11000101
162	10100010	142	10001110	226	11100010	198	11000110
163	10100011	143	10001111	227	11100011	199	11000111
164	10100100	144	10010000	228	11100100	200	11001000
165	10100101	144	10010000	229	11100101	201	11001001
166	10100110	145	10010001	230	11100110	202	11001010
167	10100111	146	10010010	231	11100111	202	11001010
168	10101000	147	10010011	232	11101000	203	11001011
169	10101001	148	10010100	233	11101001	204	11001100
170	10101010	149	10010101	234	11101010	205	11001101
171	10101011	150	10010110	235	11101011	206	11001110
172	10101100	151	10010111	236	01101100	207	11001111
173	10101101	151	10010111	237	11101101	208	11010000
174	10101110	152	10011000	238	11101110	209	11010001
175	10101111	153	10011001	239	11101111	209	11010001
176	10110000	154	10011010	240	11110000	210	11010010
177	10110001	155	10011011	241	11110001	211	11010011
178	10110010	156	10011100	242	11110010	212	11010100
179	10110011	157	10011101	243	11110011	213	11010101
180	10110100	158	10011110	244	11110100	214	11010110
181	10110101	158	10011110	245	11110101	215	11010111
182	10110110	159	10011111	246	11110110	216	11011000
183	10110111	160	10100000	247	11110111	216	11011001
184	10111000	161	10100001	248	11111000	217	11011010
185	10111001	162	10100010	249	11111001	218	11011010
186	10111010	163	10100011	250	11111010	219	11011011
187	10111011	164	10100100	251	11111011	220	11011100
188	10111100	165	10100101	252	11111100	221	11011101
189	10111101	166	10100110	253	11111101	222	11011110
190	10111110	166	10100110	254	11111110	223	11011111
191	10111111	167	10100111	255	11111111	224	11100000

【圖 24】



【图 27】





【図29】

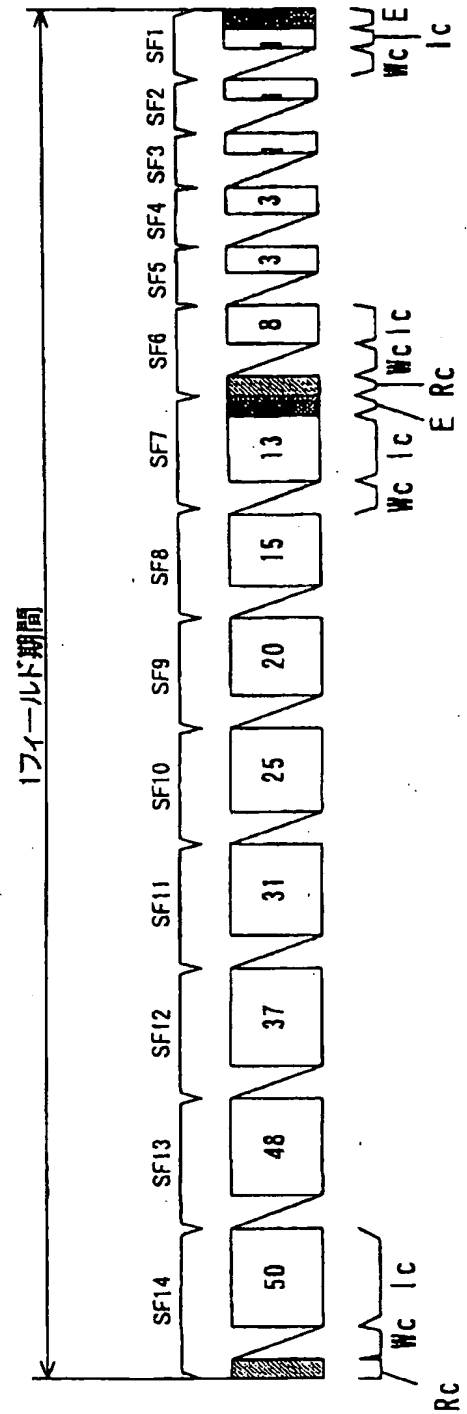
[選択書込]

Ds	HD														1フィールドにおける駆動状態														発光 輝度	
	14	13	12	11	10	9	8	7	6	5	4	3	2	1	SF 14	SF 13	SF 12	SF 11	SF 10	SF 9	SF 8	SF 7	SF 6	SF 5	SF 4	SF 3	SF 2	SF 1		
0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0																0
0001	0	0	0	0	0	0	0	0	0	0	0	0	0	1														●		1
0010	0	0	0	0	0	0	0	0	0	0	0	0	1	0													●			4
0011	0	0	0	0	0	0	0	0	0	0	0	1	0	0													○			9
0100	0	0	0	0	0	0	0	0	0	0	1	0	0	0										●			○			17
0101	0	0	0	0	0	0	0	0	0	1	0	0	0	0										○			○			27
0110	0	0	0	0	0	0	0	0	1	0	0	0	0	0									●			○				40
0111	0	0	0	0	0	0	1	0	0	0	0	0	0	0										○		○				56
1000	0	0	0	0	0	1	0	0	0	0	0	0	0	0										○		○				75
1001	0	0	0	0	0	1	0	0	0	0	0	0	0	0										○		○				97
1010	0	0	0	1	0	0	0	0	0	0	0	0	0	0										○		○				122
1011	0	0	0	1	0	0	0	0	0	0	0	0	0	0										○		○				150
1100	0	0	1	0	0	0	0	0	0	0	0	0	0	0										○		○				182
1101	0	1	0	0	0	0	0	0	0	0	0	0	0	0										○		○				217
1110	1	0	0	0	0	0	0	0	0	0	0	0	0	0										○		○				256

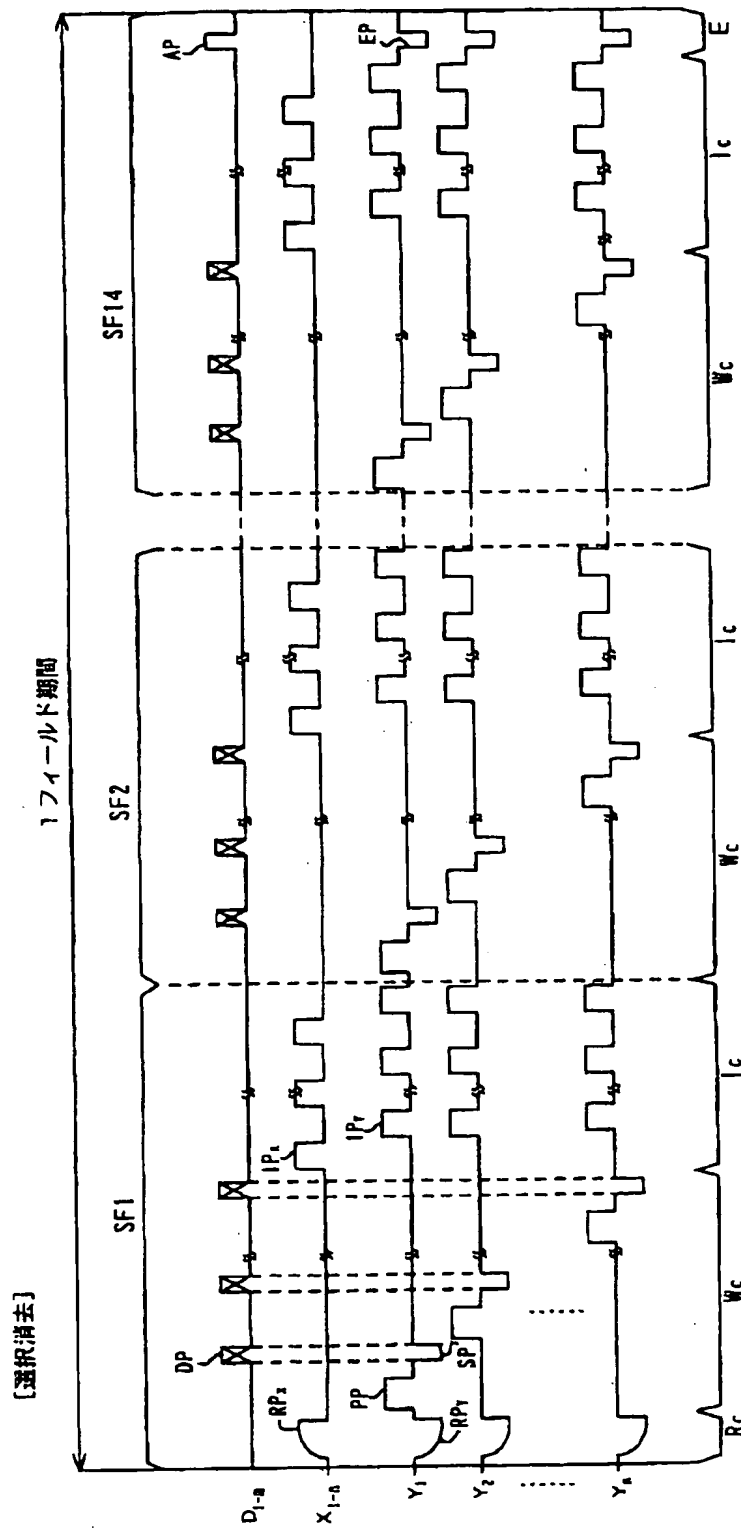
【選択書込】

【選択書込】

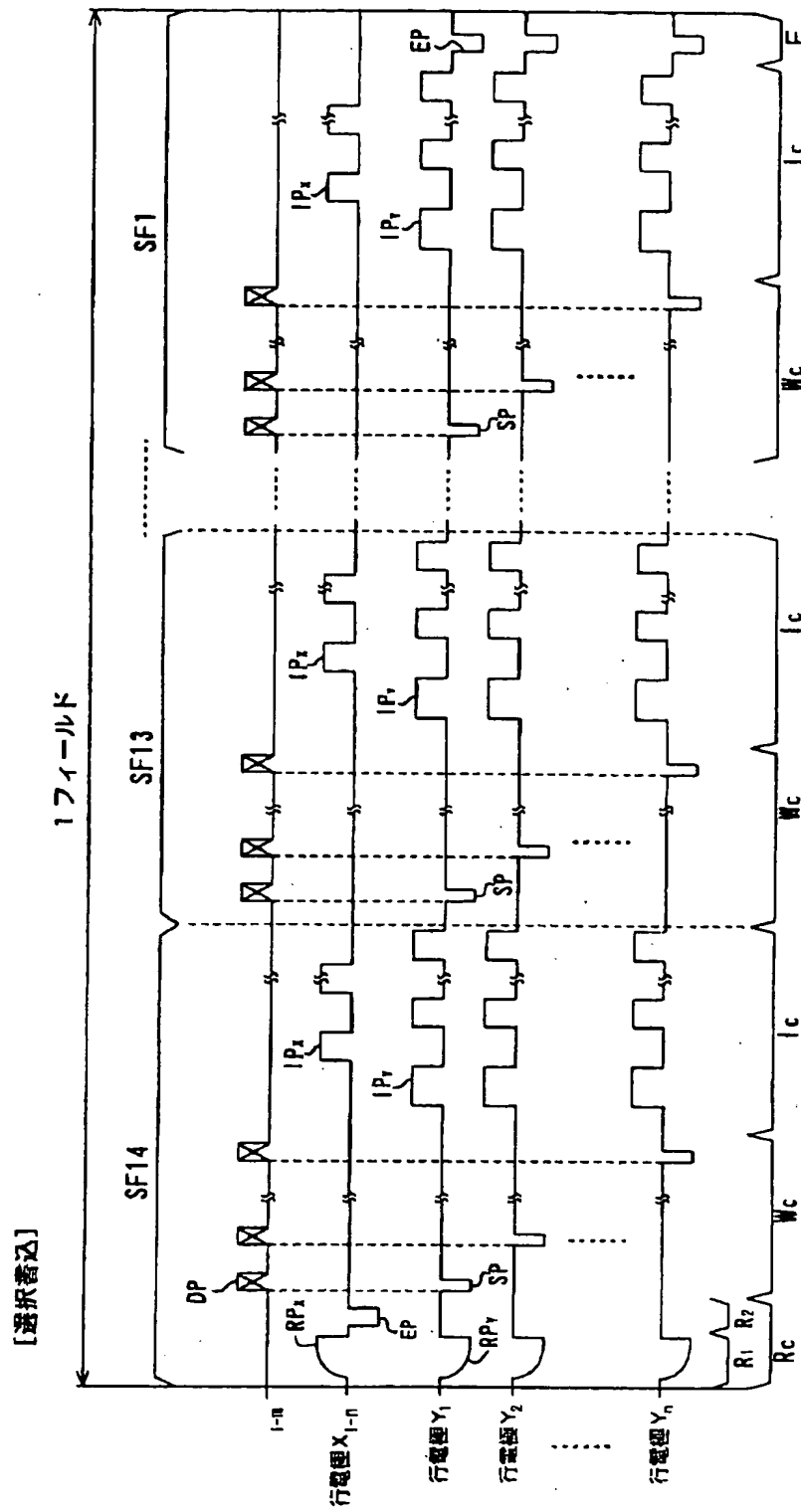
【図33】



【図 30】

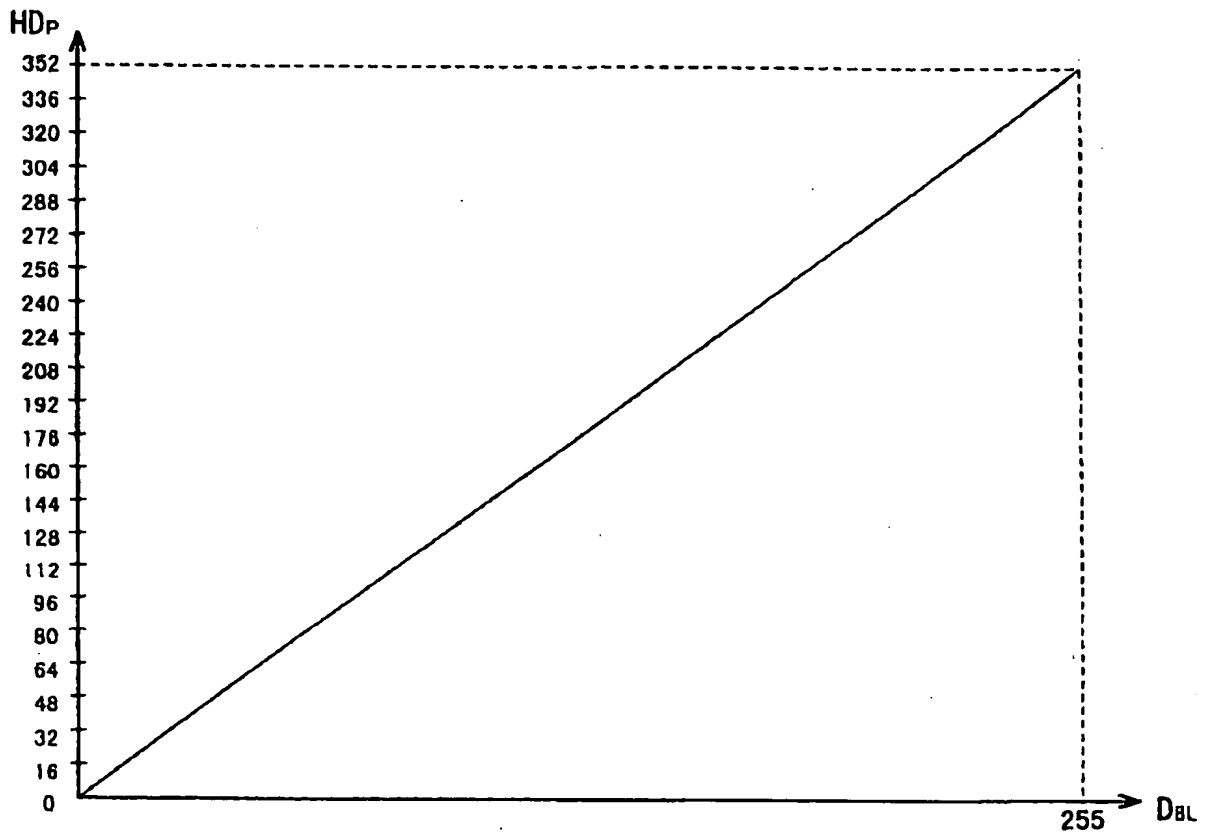


【図31】





【図 34】



【図 35】

D <sub>BL</sub>		HD <sub>P</sub>		D <sub>BL</sub>		HD <sub>P</sub>	
7	0	7	0	7	0	7	0
0	00000000	0	00000000	84	01000000	88	001011000
1	00000001	1	00000001	85	01000001	89	001011001
2	00000010	2	00000010	86	01000010	91	001011011
3	00000011	3	00000011	87	01000011	92	001011100
4	00000100	4	00000100	88	01000100	93	001011101
5	00000101	5	00000101	89	01000101	95	001011111
6	00000110	6	00000110	90	01000110	96	001100000
7	00000111	7	00000111	91	01000111	98	001100010
8	00001000	8	00001000	92	01001000	99	001100011
9	00001001	9	00001001	93	01001001	100	001100100
10	00001010	10	00001010	94	01001010	102	001100110
11	00001011	11	00001011	95	01001011	103	001100111
12	00001100	12	00001100	96	01001100	104	001101000
13	00001101	13	00001101	97	01001101	106	001101010
14	00001110	14	00001110	98	01001110	107	001101011
15	00001111	15	00001111	99	01001111	109	001101101
16	00010000	16	00010000	100	01010000	110	001101110
17	00010001	17	00010001	101	01010001	111	001101111
18	00010010	18	00010010	102	01010010	113	001110001
19	00010011	19	00010011	103	01010011	114	001110010
20	00010100	20	00010100	104	01010100	115	001110011
21	00010101	21	00010101	105	01010101	117	001110101
22	00010110	22	00010110	106	01010110	118	001110110
23	00010111	23	00010111	107	01010111	120	001111000
24	00011000	24	00011000	108	01011000	121	001111001
25	00011001	25	00011001	109	01011001	122	001111010
26	00011010	26	00011010	110	01011010	124	001111100
27	00011011	27	00011011	111	01011011	125	001111101
28	00011100	28	00011100	112	01011100	126	001111110
29	00011101	29	00011101	113	01011101	128	010000000
30	00011110	30	00011110	114	01011110	129	010000001
31	00011111	31	00011111	115	01011111	131	010000011
32	00100000	32	00100000	116	01100000	132	010000100
33	00100001	33	00100001	117	01100001	133	010000101
34	00100010	34	00100010	118	01100010	135	010000111
35	00100011	35	00100011	119	01100011	136	010001000
36	00100100	36	00100100	120	01100100	138	010001010
37	00100101	37	00100101	121	01100101	139	010001011
38	00100110	38	00100110	122	01100110	140	010001100
39	00100111	39	00100111	123	01100111	142	010001110
40	00101000	40	00101000	124	01101000	143	010001111
41	00101001	41	00101001	125	01101001	144	010010000
42	00101010	42	00101010	126	01101010	146	010010010
43	00101011	43	00101011	127	01101011	147	010010011
44	00101100	44	00101100	128	01101100	148	010010101
45	00101101	45	00101101	129	01101101	150	010010110
46	00101110	46	00101110	130	01101110	151	010010111
47	00101111	47	00101111	131	01101111	153	010011001
48	00110000	48	00110000	132	01110000	154	010011010
49	00110001	49	00110001	133	01110001	155	010011011
50	00110010	50	00110010	134	01110010	157	010011101
51	00110011	51	00110011	135	01110011	158	010011110
52	00110100	52	00110100	136	01110100	160	010100000
53	00110101	53	00110101	137	01110101	161	010100001
54	00110110	54	00110110	138	01110110	162	010100010
55	00110111	55	00110111	139	01110111	164	010100100
56	00111000	56	00111000	140	01111000	165	010100101
57	00111001	57	00111001	141	01111001	167	010100111
58	00111010	58	00111010	142	01111010	168	010101000
59	00111011	59	00111011	143	01111011	169	010101001
60	00111100	60	00111100	144	01111100	171	010101011
61	00111101	61	00111101	145	01111101	172	010101100
62	00111110	62	00111110	146	01111110	173	010101101
63	00111111	63	00111111	147	01111111	175	010101111

【図 36】

D <sub>BL</sub>		HD <sub>P</sub>		D <sub>BL</sub>		HD <sub>P</sub>	
輝度	0 ~ 7	輝度	0 ~ 8	輝度	0 ~ 7	輝度	0 ~ 8
128	10000000	178	010110000	192	11000000	265	100001001
129	10000001	179	010110010	193	11000001	266	100001010
130	10000010	179	010110011	194	11000010	267	100001011
131	10000011	180	010110100	195	11000011	269	100001101
132	10000100	182	010110110	196	11000100	270	100001110
133	10000101	183	010110111	197	11000101	271	100001111
134	10000110	184	010111000	198	11000110	273	100010001
135	10000111	186	010111010	199	11000111	274	100010010
136	10001000	187	010111011	200	11001000	276	100010100
137	10001001	189	010111101	201	11001001	277	100010101
138	10001010	190	010111110	202	11001010	278	100010110
139	10001011	191	010111111	203	11001011	280	100011000
140	10001100	193	011000001	204	11001100	281	100011001
141	10001101	194	011000010	205	11001101	282	100011010
142	10001110	196	011000100	206	11001110	284	100011100
143	10001111	197	011000101	207	11001111	285	100011101
144	10010000	198	011000110	208	11010000	287	100011111
145	10010001	200	011001000	209	11010001	288	100100000
146	10010010	201	011001001	210	11010010	289	100100001
147	10010011	202	011001010	211	11010011	291	100100011
148	10010100	204	011001100	212	11010100	292	100100100
149	10010101	205	011001101	213	11010101	294	100100110
150	10010110	207	011001111	214	11010110	295	100100111
151	10010111	208	011010000	215	11010111	296	100101000
152	10011000	209	011010001	216	11011000	298	100101010
153	10011001	211	011010011	217	11011001	299	100101011
154	10011010	212	011010100	218	11011010	300	100101100
155	10011011	213	011010101	219	11011011	302	100101110
156	10011100	215	011010111	220	11011100	303	100101111
157	10011101	216	011011001	221	11011101	305	100110001
158	10011110	218	011011010	222	11011110	306	100110010
159	10011111	219	011011011	223	11011111	307	100110011
160	10100000	220	011011100	224	11100000	309	100110101
161	10100001	222	011011110	225	11100001	310	100110110
162	10100010	223	011011111	226	11100010	311	100110111
163	10100011	225	011100001	227	11100011	313	100111001
164	10100100	226	011100010	228	11100100	314	100111001
165	10100101	227	011100011	229	11100101	316	100111100
166	10100110	229	011100101	230	11100110	317	100111101
167	10100111	230	011100110	231	11100111	318	100111110
168	10101000	231	011100111	232	11101000	320	101000000
169	10101001	233	011101001	233	11101001	321	101000001
170	10101010	234	011101010	234	11101010	323	101000011
171	10101011	236	001101100	235	11101011	324	101000100
172	10101100	237	011101101	236	01101100	325	101000101
173	10101101	238	011101110	237	11101101	327	101000111
174	10101110	240	011110000	238	11101110	328	101001000
175	10101111	241	011110001	239	11101111	329	101001001
176	10110000	242	011110010	240	11110000	331	101001011
177	10110001	244	011110100	241	11110001	332	101001100
178	10110010	245	011110101	242	11110010	334	101001110
179	10110011	247	011110111	243	11110011	335	101001111
180	10110100	248	011111000	244	11110100	336	101010000
181	10110101	249	011111001	245	11110101	338	101010010
182	10110110	251	011111011	246	11110110	339	101010011
183	10110111	252	011111100	247	11110111	340	101010100
184	10111000	253	011111101	248	11111000	342	101010110
185	10111001	255	011111111	249	11111001	343	101010111
186	10111010	256	100000000	250	11111010	345	101011001
187	10111011	258	100000010	251	11111011	356	101011010
188	10111100	259	100000011	252	11111100	347	101011011
189	10111101	260	100000100	253	11111101	349	101011101
190	10111110	262	100000110	254	11111110	350	101011110
191	10111111	263	100000111	255	11111111	352	101100000

【図37】

[選択消去]

Ds	HD														17ビットにおける駆動状態														発光 輝度	
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	SF 1	SF 2	SF 3	SF 4	SF 5	SF 6	SF 7	SF 8	SF 9	SF 10	SF 11	SF 12	SF 13	SF 14		
00000	1	0	0	0	0	0	1	0	0	0	0	0	0	0	●															0
00001	0	1	0	0	0	0	1	0	0	0	0	0	0	0	○	●														1
00010	0	0	1	0	0	0	1	0	0	0	0	0	0	0	○	○	●													2
00011	0	0	0	1	0	0	1	0	0	0	0	0	0	0	○	○	○	●												3
00100	0	0	0	0	1	0	1	0	0	0	0	0	0	0	○	○	○	○	●											6
00101	0	0	0	0	0	1	1	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○								9
00110	0	0	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○							17
00111	0	0	0	0	0	1	0	1	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○						22
01000	0	0	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○					30
01001	0	0	0	0	0	1	0	0	1	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○				37
01010	0	0	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○			45
01011	0	0	0	0	0	1	0	0	0	1	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○		57
01100	0	0	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○		65	
01101	0	0	0	0	0	1	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○		82	
01110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○		90	
01111	0	0	0	0	0	1	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	○	○	○		113	
10000	0	0	0	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○		121	
10001	0	0	0	0	0	1	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○		150	
10010	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○		158	
10011	0	0	0	0	1	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○		195	
10100	0	0	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○		206	
10101	0	0	0	0	1	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○		245	
10110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○		258	

【選択消去】

**[選択書込]**

[illegible]